

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)(51) Int. Cl.<sup>7</sup>  
H05B 33/00(11) 공개번호 특2001-0052008  
(43) 공개일자 2001년06월25일

(21) 출원번호	10-2000-0071504
(22) 출원일자	2000년11월29일
(30) 우선권주장	99-338845 1999년11월29일 일본(JP) 2000-302979 2000년10월02일 일본(JP)
(71) 출원인	가부시키가이샤 한도오따이 에네루기 켄큐쇼 야마자끼 순페이 일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자	이누카이카주타카 일본국가나가와켄아쓰기시하세398가부시키가이샤한도오따이에네루기켄큐쇼내 코야마준
(74) 대리인	일본국가나가와켄아쓰기시하세398가부시키가이샤한도오따이에네루기켄큐쇼내 이병호

심사청구 : 없음

## (54) EL 디스플레이 디바이스 및 전자 장치

## 요약

명확한 다중-계조 (multi-gradation) 칼라 디스플레이가 가능한 EL 디스플레이 디바이스 및 그 EL 디스플레이 디바이스를 갖춘 전자 디바이스가 제공된다. 계조 디스플레이는 픽셀 (pixel)에 형성된 EL 소자가 빛을 방사하는 시간량과 빛을 방사하지 않는 시간량에 의해 제어되는 시간 분할 구동기 방법에 따라 실행된다. 전류 TFT의 특성에서 분산으로 인한 영향이 방지된다.

## 도면

## 도 2

## 색인어

EL 디스플레이 디바이스, 스위칭 TFT, 전류 제어 TFT, 시간 분할 계조 방법, 전자 디바이스.

## 명세서

## 도면의 간단한 설명

- 도 1a 및 도 1b는 EL 디스플레이 디바이스의 구조를 도시하는 도면.
- 도 2는 EL 디스플레이 디바이스의 단면 구조를 도시하는 도면.
- 도 3은 종래의 EL 디스플레이 디바이스에서 픽셀 (pixel) 부분의 구조를 도시하는 도면.
- 도 4a 및 도 4b는 아날로그 계조 (analog gradation) 방법에 의해 사용되는 TFT 특성을 설명하는 도면.
- 도 5의 a 내지 도 5의 f는 시간 분할 계조 방법의 동작 모드를 설명하는 도면.
- 도 6은 EL 디스플레이 디바이스의 소스 구동기 회로를 도시하는 도면.
- 도 7은 EL 디스플레이 디바이스의 픽셀 부분의 픽셀 구조를 도시하는 도면.
- 도 8은 시간 분할 계조 방법의 동작 모드를 설명하는 도면.
- 도 9는 완전한 EL 디스플레이 디바이스 패널 (panel)의 상면도.
- 도 10은 FPC 입력 부분의 보호 회로.
- 도 11은 EL 디스플레이 디바이스의 게이트 구동기 회로를 도시하는 도면.
- 도 12는 EL 디스플레이 디바이스의 소스 구동기 회로를 도시하는 도면.
- 도 13은 EL 디스플레이 디바이스의 소스 구동기 회로측에서 입력된 신호의 타이밍도.
- 도 14는 EL 디스플레이 디바이스의 소스 구동기 회로측에서 입력된 신호의 타이밍도.
- 도 15는 EL 디스플레이 디바이스의 게이트 구동기 회로측에서 입력된 신호의 타이밍도.

- 도 16은 EL 디스플레이 디바이스의 게이트 구동기 회로측에서 입력된 신호의 타이밍도.  
 도 17a 내지 도 17e는 EL 디스플레이 디바이스를 제작하는 처리를 도시하는 도면.  
 도 18a 내지 도 18d는 EL 디스플레이 디바이스를 제작하는 처리를 도시하는 도면.  
 도 19a 내지 도 19d는 EL 디스플레이 디바이스를 제작하는 처리를 도시하는 도면.  
 도 20a 내지 도 20c는 EL 디스플레이 디바이스를 제작하는 처리를 도시하는 도면.  
 도 21은 EL 모듈의 외형을 도시하는 도면.  
 도 22a 및 도 22b는 EL 모듈의 외형을 도시하는 도면.  
 도 23a 내지 도 23c는 접속 구조를 제작하는 처리를 도시하는 도면.  
 도 24a 및 도 24b는 EL 디스플레이 디바이스의 픽셀 부분의 상단 구조를 도시하는 도면.  
 도 25는 EL 디스플레이 디바이스의 단면 구조를 도시하는 도면.  
 도 26은 EL 디스플레이 디바이스의 소스 구동기 회로 일부를 도시하는 도면.  
 도 27a 및 도 27b는 본 발명을 사용하는 EL 디스플레이 디바이스의 영상을 도시하는 사진.  
 도 28a 및 도 28b는 EL 소자의 소자 구조를 도시하는 도면.  
 도 29는 EL 소자의 특성을 도시하는 도면.  
 도 30a 내지 도 30f는 전자 디바이스의 특정한 예를 도시하는 도면.  
 도 31a 내지 도 31c는 전자 디바이스의 특정한 예를 도시하는 도면.  
 도 32는 EL 소자의 특성을 도시하는 도면.  
 도 33은 EL 소자의 특성을 도시하는 도면.  
 도 34는 EL 소자의 특성을 도시하는 도면.  
 도 35는 EL 소자의 특성을 도시하는 도면.

\* 도면의 주요부분에 부분에 대한 부호의 설명 \*

47 : 제 1 비활성화막	48 : 제2 층간 절연막
102 : 소스 구동기 회로	102a : 쉬프트 레지스터
110 : 전류 공급선	112 : 캐패시터
301 : 스위칭 TFT	302 : 전류 제어 TFT
303 : EL 소자	305 : 게이트 배선
306 : 소스 배선	307 : 전류 공급 배선
603 : 래치선	604 : 쉬프트 레지스터
6005 : 클럭선	6006 : 비디오회선

#### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술분야 및 그 분야의 종래기술

#### 발명의 분야

본 발명은 기관상에 만들어진 반도체 소자 (반도체 박막을 사용하는 소자)에 의해 형성된 EL (electroluminescence) 디스플레이 디바이스 및 그 EL 디스플레이 디바이스를 디스플레이 (디스플레이 부분)로 갖는 전자 장치에 관한 것이다.

#### 관련 기술의 기술

기관에 TFT를 형성하는 기술은 최근 몇년 동안 많이 발전되었고, 활성 매트릭스형 (active matrix type) 디스플레이 디바이스에 대한 응용의 개발이 진행되고 있다. 실제로, 폴리실리콘막을 사용하는 TFT는 종래의 비결정질 실리콘막을 사용하는 TFT 보다 더 높은 전계 효과 이동도 (또한 이동도 (mobility)라 칭하여지는)를 가지므로, 고속 동작이 가능하다.

도 30에는 활성 매트릭스형 EL 디스플레이 디바이스의 일반적인 픽셀 (pixel) 구조가 도시된다. 도 3의 참조번호(301)는 스위칭 소자로 동작하는 TFT (이후 스위칭 TFT라 칭하여지는)를 나타내고, 참조번호 (302)는 EL 소자(303)에 제공되는 전류를 제어하기 위한 소자 (이후 전류 제어 소자라 칭하여지는)로 동작하는 TFT를 나타내고, (304)는 캐패시터 (저장 캐패시터)를 나타낸다. 스위칭 TFT(301)는 게이트 배선 (gate wiring)(305) 및 소스 배선 (source wiring) (데이터 배선)(306)에 연결된다. 전류 제어 TFT(302)의 드레인인 EL 소자(303)에 연결되고, 전류 제어 TFT(302)의 소스는 전류 공급 배선(307)에 연결된다.

스위칭 TFT(301)는 게이트 배선(305)가 선택되고, 소스 배선(306)의 데이터 신호가 캐패시터(304)에 저장되고, 또한 전류 제어 TFT(302)의 게이트가 개방(open)될 때 개방된다. 스위칭 TFT(301)의 게이트가 폐쇄(close)된 이후에, 전류 제어 TFT(302)의 게이트는 캐패시터(304)에 저장된 전하에 따라 개방된 상태로 유지되고, EL 소자(303)는 그 주기 동안 빛을 방출한다. EL 소자(303)에 의해 방출된 빛의 양은 전류의 양에 의해 변한다.

다른 말로 하면, 전류 제어 TFT(302)로 흐르는 전류의 양은 아날로그 구동 계조(gradation) 디스플레이에서 소스 배선(306)로부터 입력된 데이터 신호에 의해 제어되며, EL 디스플레이에 의해 방사되는 빛의 양을 변화시킨다.

도 4a는 전류 제어 TFT(302)의 트랜지스터 특성을 도시하는 그래프이고, 참조번호(401)는  $I_d-V_g$  특성 (또한  $I_d-V_g$  곡선이라 칭하여지는데)을 나타낸다. 여기서,  $I_d$ 는 드레인 전류이고,  $V_g$ 는 게이트 전압이다. 임의의 게이트 전압에 대해 흐르는 전류의 양은 이 그래프로 찾아질 수 있다.

점선(402)에 의해 도시되는  $I_d-V_g$  특성의 영역은 일반적으로 EL 소자를 구동하는데 사용된다. 영역(402)에 의해 둘러싸인 영역을 확대한 것이 도 4b에 도시된다.

도 4b에서 빗금친 영역은 서브한계값(subthreshold) 영역이라 칭하여진다. 실제로, 이는 한계 전압( $V_{th}$ ) 부근이나 그 이하에서 게이트 전압을 갖는 영역을 나타내고, 드레인 전류는 이 영역내에서 게이트 전압의 변화에 대해 지수적으로 변화된다. 전류 제어는 이 영역을 사용하여 게이트 전압에 따라 실행된다.

도 3의 스위칭 TFT(301)가 개방될 때 픽셀로 입력되는 데이터 신호는 먼저 캐패시터(304)에 저장되고, 이어서 그 신호는 그대로 전류 제어 TFT(302)의 게이트 전압이 된다. 드레인 전류는 이때 도 4a에 도시된  $I_d-V_g$  특성에 따라 게이트 전압에 대해 일대일 대응으로 결정된다. 즉, 소정의 전류가 데이터 신호에 대응하여 EL 소자(303)에 흐르고, EL 소자(303)는 흐르는 전류량에 대응하는 빛의 양으로 빛을 방출한다.

그래서, EL 소자에 의해 방사되는 빛의 양은 입력 신호에 의해 제어되고, 계조 디스플레이는 방사되는 빛의 양을 제어함으로써 실행된다. 이 방법은 아날로그 계조라 칭하여지고, 계조 디스플레이는 신호의 진폭을 변화시킴으로써 실행된다.

그러나, 상기 아날로그 계조 방법은 TFT 특성에서 분산에 대해 매우 약하다는 불리한 점을 갖는다. 예를 들어,  $I_d-V_g$  특성이 스위칭 TFT이고 똑같은 계조를 디스플레이하는 인접 픽셀의 스위칭 TFT와 다르다고 가정한다 (전체적으로 양인 음의 쉬프트의 경우).

이 경우에는 분산과 비슷하여 각 스위칭 TFT의 드레인 전류가 다르므로, 각 픽셀의 전류 제어 TFT에 인가되는 게이트 전압도 다르다. 다른 말로 하면, 흐르는 전류는 각 EL 소자에 대해 다르고, 그 결과로 방사되는 빛의 양도 다르므로, 똑같은 계조 디스플레이가 실행될 수 없다.

또한, 각 픽셀의 전류 제어 TFT에 똑같은 게이트 전압이 인가된다고 가정하면, 전류 제어 TFT의  $I_d-V_g$  특성에 변화가 있는 경우, 똑같은 드레인 전류가 출력될 수 없다. 부가하여, 똑같은 게이트 전압이 인가되더라도, 도 4a로부터 명백한 바와 같이, 게이트 전압의 변화에 대해 드레인 전류가 지수적으로 변하는 영역을 사용할 때  $I_d-V_g$  특성에 작은 편차라도 존재하는 경우, 전류 출력의 양은 매우 다르다. 그 결과로, 인접한 픽셀에 의해 방사되는 빛의 양은 매우 다르다.

실제로, 스위칭 TFT 및 전류 제어 TFT에서의 분산 사이에는 공생기 효과가 있고, 이는 조건 달성을 더 어렵게 만든다. 그래서, 아날로그 계조 방법은 TFT 특성의 변화에 대해 매우 민감하고, 이는 종래 활성 매트릭스 EL 디스플레이 디바이스의 다중 칼라화에 장애가 된다.

#### 본명이 이루고자 하는 기술적 과제

상기 문제점을 고려하여, 본 발명의 목적은 예리한 다중-계조(multi-gradation) 칼라 디스플레이를 가능하게 하는 활성 매트릭스형(active matrix type) EL 디스플레이 디바이스를 제공하는 것이다. 부가하여, 본 발명의 목적은 이러한 종류의 활성 매트릭스 EL 디스플레이 디바이스를 디스플레이 부분으로 갖춘 고성능 전기 장치를 제공하는 것이다.

본 발명의 출원인은 TFT 특성에서 분산에 의해 쉽게 영향을 받지 않는 픽셀(pixel) 구조를 만들기 위해, 전류 제어 TFT가 간단한 전류 공급 스위칭 소자로 사용되는 디지털 구동기 계조(digital driver gradation) 방법이 전류 제어에 따라 EL 소자에 의해 방사되는 빛의 양을 제어하는 아날로그 구동기 계조 방법보다 더 낫다고 생각한다.

계조 디스플레이의 시간 분할 방법(이후 시간 분할 계조라 칭하여지는데)은 활성 매트릭스형(active matrix type) EL 디스플레이 디바이스에서 디지털 구동기에 의해 실행될 것으로 생각된다.

부가하여, 비디오 신호를 분할하고 비디오 신호를 소스 구동기 회로에 입력할 때 다수의 데이터를 입력함으로써, 패널(panel) 디스플레이가 더 빠른 속도로 이루어질 수 있다. 여기서 칭하여지는 비디오 신호는 본 명세서를 통해 소스 구동기 회로에 입력되는 데이터 신호임을 주목한다.

도 5의 a 내지 도 5의 f는 시간 분할 계조 디스플레이를 실행할 때 기록 주기와 디스플레이 주기의 전체적인 구동기 타이밍을 도시한다. 여기서는 6 비트 디지털 구동기 방법에 따라 64 계조 디스플레이를 실행하는 경우가 설명된다. 기록 주기는 신호가 한 프레임(frame)을 구성하는 모든 픽셀에 기록되는데 요구되는 시간이고, 디스플레이 주기는 픽셀이 기록 신호의 디스플레이를 실행하는 주기임을 주목한다.

EL 구동기 전력 공급은 기록 주기 동안 절단되고(모든 픽셀이 off 상태), 픽셀내의 EL 소자는 인가된 전력이 없는 상태이다. 또한, EL 구동기 전력 공급은 디스플레이 주기 동안 입력되며, 인가된 전력을 갖는 상태로 픽셀내에 EL 소자를 배치한다. 이때, 픽셀은 픽셀을 on 상태로 하는 데이터 신호가 입력될 때 on 상태로 된다.

영상이 영상 영역에 완전히 디스플레이되는 주기는 한 프레임 주기와 칭하여진다. 정상적인 EL 디스플레이의 발전 주파수는 60 Hz이므로, 도 5의 a에 도시된 바와 같이, 1초 동안에 60개의 프레임이 존재한다. 예를 들어, 제4 프레임에서 6 비트 디지털 계조 디스플레이 (64 계조)를 실행할 때, 한 프레임이 16개 부분으로 나뉘고 디스플레이 주기에 대한 기록 주기의 비율이 6:10으로 결정되면, 도 5의 b에 도시된 바와 같이, 기록 주기 동안 기록이 6회 (≈ 6.24 msec) 실행될 수 있다. 6회 기록 1 내지 6은 1 내지 6의 순서로 실행될 수 있다. 또한, 기록 주기 (기록 1 내지 기록 6)에 대응하는 디스플레이 주기는 각각 디스플레이 1 내지 6으로 설정된다.

더욱이, 디스플레이 주기는 디스플레이 1:디스플레이 2:디스플레이 3:디스플레이 4:디스플레이 5:디스플레이 6 = 1:1/2:1/4:1/8:1/16:1/32가 되도록 설정된다.

도 5의 c는 한 프레임 동안 6회 기록 (기록 1 내지 기록 6)을 실행할 때 각 디스플레이 주기가 기록에 대해 상술된 비율을 갖는 상태를 도시한다. 도 5의 c의 하단 부분에 도시된 같은 기록 주기 및 디스플레이 주기의 길이 사이에 관계를 도시한다.

특별히, 기록 1의 디스플레이 주기 (디스플레이 1)는 기록 주기가 63일 때 320의 값을 나타낸다. 부가하여, 63의 값을 갖는 각 기록 주기에 대해, 디스플레이 2는 160의 디스플레이 주기를 갖고, 디스플레이 3은 80의 디스플레이 주기를 갖고, 디스플레이 4는 40의 디스플레이 주기를 갖고, 디스플레이 5는 20의 디스플레이 주기를 갖고, 또한 디스플레이 6은 10의 디스플레이 주기를 갖는다.

한 기록 주기(write-in) 및 한 디스플레이 주기(display)는 함께 한 필드(field)라 칭하여진다. 즉, 도 5의 c에는 6개의 필드가 존재하고, 모두 일정한 기록 주기 및 다른 디스플레이 주기를 갖는다. 여기서 한 프레임은 완료하기 위해, 시작부에 디스플레이되는 제1 필드는 필드 1(F1)이라 칭하여지고, 이후에 이어서 디스플레이되는 필드는 순서대로 필드 2 내지 6 (F2 내지 F6)이라 칭하여진다.

필드 1 내지 6의 순서는 임의로 정해질 수 있음을 주목한다. 디스플레이 주기를 조합함으로써, 64개의 계조 중에서 원하는 계조 디스플레이가 실행될 수 있다.

또한, 실제로, 타이밍은 도 5의 d에 도시된 바와 같이 다른 디스플레이 주기를 갖는 6개의 분사된 필드의 조합이다.

도 5의 d에서 디스플레이 1의 주기 동안 소정의 픽셀이 on 상태로 되면, 기록 5에 들어가고, 데이터 신호가 모든 픽셀에 입력된 이후에는 디스플레이 5로 들어간다. 다음에는 데이터 신호가 기록 4에서 모든 픽셀에 입력된 이후 디스플레이 4로 들어간다. 소정의 픽셀은 또한 기록 2, 기록 3 및 기록 6에서 각 필드에 의해 유사하게 on 상태로 된다.

도 5의 e는 도 5의 d에 도시된 6개 필드 중 필드 5에서 게이트 회로로부터 입력된 데이터 신호에 의해 특정한 게이트선이 선택된 데이터가 기록되는 주기 (기록 5)를 도시한다. 도 5의 e는 또한 소스선으로부터의 신호가 소스선에서 선택된 게이트선으로 입력되고 픽셀이 디스플레이를 실행하는 디스플레이 주기 (디스플레이 5)를 도시한다.

도 5의 a 내지 도 5의 e는 VGA (640 x 480) 패널 디스플레이를 근거로 하므로, 480개의 게이트 배선이 있고, 부가하여 특정한 수의 더미(dummy)를 포함하여 게이트선 모두를 선택하는 주기는 도 5의 e의 한 기록 주기이다.

그 기록 주기에서 소스선으로부터 입력된 신호는 도트 데이터(dot data)라 칭하여진다. 한 게이트 선택 주기 동안 소스 구동기 회로로부터 입력된 도트 데이터는 도 5의 f에 도시된 주기에 의해 샘플링된다. 이는 기록되고 있는 기록 주기 동안 선택된 게이트 데이터를 도시하고, 동시에 기록되고 있는 소스선으로부터의 입력 신호를 도시한다. 한번에 샘플링되는 데이터의 주기는 40 nsec임을 주목한다.

또한, 소스 구동기 회로로부터 입력된 도트 데이터는 도 5의 f에 도시된 바와 같이 40 nsec 당 16 비트로 동시에 입력될 수 있다.

부가하여, 한 게이트 선택 주기에 선택된 도트 데이터는 데이터 샘플링이 모두 완료될 때까지 도 6에 도시된 소스 구동기 회로내의 래치(latch) 1(6001)에 저장된다. 모든 샘플링이 종료된 이후에, 래치 데이터는 래치선(6003)으로부터 입력되고, 모든 데이터는 한번에 래치 2(6002)로 이동된다. 쉬프트 레지스터(6004)는 클럭선(6005)으로부터의 클럭 펄스에 따라 비디오선(6006)으로부터 입력된 비디오 신호를 선택함을 주목한다.

샘플링 주기에 부가하여, 도 5의 f에 형성된 라인 데이터 래치 주기는 래치 1(6001)로부터 래치 2(6002)로 데이터를 이동시킬 때 래치 신호가 입력되고, 데이터가 이동되는 주기이다.

본 발명의 활성 매트릭스형 EL 디스플레이 디바이스의 픽셀 구조는 도 7에 도시된다. 도 7의 참조번호(701)는 스위칭 소자로 동작하는 TFT (이후, 스위칭 TFT 또는 픽셀 스위치 TFT라 칭하여지는)를 나타내고, 참조번호(702)는 EL 소자(703)에 공급된 전류를 제어하기 위한 소자 (전류 제어 소자)로 동작하는 TFT (이후, 전류 제어 TFT 또는 EL 구동기 TFT라 칭하여지는)를 나타내고, 또한 참조번호(704)는 캐패시터 (또한, 저장 캐패시터 또는 보조 캐패시터라 칭하여지는)를 나타낸다. 스위칭 TFT(701)는 게이트선(705) 및 소스선 (데이터선)(706)에 연결된다. 또한, 전류 제어 TFT(702)의 드레인선 EL 소자(703)에 연결되고, 전류 제어 TFT(702)의 소스는 전류 공급선 (또한, EL 디바이스 전력 공급선이라 칭하여지는)(707)에 연결된다.

스위칭 TFT(701)의 게이트는 게이트선(705)이 선택될 때 개방(open)되고, 소스선(706)으로부터의 데이터 신호는 캐패시터(704)에 저장되고, 또한 전류 제어 TFT(702)의 게이트는 개방된다. 스위칭 TFT(701)의 게이트가 폐쇄(close)된 이후에, 전류 제어 TFT(702)의 게이트는 캐패시터(704)에 저장된 전하에 따라 개방된 상태로 유지되고, EL 소자(703)는 그 시간 동안 빛을 방출한다. EL 소자(703)에 의해 방출된 빛의 양은 흐르는 전류량에 의해 변화된다.

다른 말로 하면, 전류 제어 TFT(702)의 게이트는 디지털 구동 계조 디스플레이에서 소스선(706)으로부터

입력된 데이터 신호에 따라 개방 또는 폐쇄되고, EL 구동기 전력 공급이 on 상태로 되면, 전류가 흘러 EL 소자가 빛을 방출한다.

픽셀의 전류 제어 TFT의 기능은 디스플레이 주기 동안 대응하는 픽셀이 on 상태 (디스플레이)로 되는가 off 상태 (디스플레이되지 않는)로 되는가 여부를 제어하는 것이다. 디스플레이 주기와 기록 주기 사이의 스위칭은 FPC 단말기를 통해 우측 패널 외부의 전원에 의해 실행된다.

또한, 패널 외부에 부착된 전력 공급 (도 7에서 참조번호(709))은 기록 주기와 디스플레이 주기 사이를 스위칭하기 위한 스위칭 기능을 이룬다. 전력 공급이 off 상태 (인가되는 전압이 없는 상태)인 기록 주기 동안에는 데이터 신호가 각 픽셀에 입력된다.

데이터가 모든 픽셀에 입력되어 기록 주기가 완료된 이후에는 전력 공급 (도 7에서 참조번호(709))이 on 상태로 되어 디스플레이가 한번에 실행된다. 이 주기는 디스플레이 주기가 된다. EL 소자가 빛을 방출하고 픽셀이 on 상태로 되는 주기는 6개 필드 중에서 디스플레이 1 내지 디스플레이 6의 주기 중 임의의 것이다.

6개 필드가 나타난 이후에는 한 프레임이 완성된다. 픽셀의 계조는 이때 디스플레이 주기를 부가함으로써 제어된다. 예를 들어, 디스플레이 1 및 디스플레이 2가 선택될 때는 전체 100% 중에서 76%의 밝기가 나타낼 수 있고, 디스플레이 3 및 디스플레이 5가 선택될 때는 16%의 밝기가 나타낼 수 있다.

상기에서는 비록 64 계조의 경우가 설명되지만, 다른 계조의 디스플레이를 실행하는 것도 가능함을 주목한다.

N 비트 (여기서, N은 2 이상의 정수)의 계조 디스플레이가 실행된다고 가정하면, 처음 1개 프레임은 N 비트 계조에 대응하여 N개 필드 (F1, F2, F3, ..., F(n-1), F(n))로 나뉜다. 한 프레임의 분할수는 계조가 증가함에 따라 증가되고, 구동기 회로는 고주파수에서 구동되어야 한다.

부가하여, N개 필드는 각각 기록 주기(Ta) 및 디스플레이 주기(Ts)로 분할된다.

N개 필드의 디스플레이 주기 (F1, F2, F3, ..., F(n-1), F(n))에 대응하는 디스플레이 주기는 각각 Ts1, Ts2, Ts3, ..., Ts(n-1), Ts(n)으로 나타난다. Ts1:Ts2:Ts3:..., Ts(n-1):Ts(n) =  $2^0:2^1:2^2:..., 2^{(n-2)}:2^{(n-1)}$  이 되도록 처리된다.

이 상태에서, 픽셀은 임의의 한 필드 (엄격하게 말하면, 각 픽셀의 스위칭 TFT가 선택된다)에서 순서대로 선택되고, 전류 제어 TFT의 게이트 전극에는 소정의 게이트 전압 (데이터 신호에 대응하는)이 인가된다. 전류 제어 TFT가 연속 상태를 갖도록 하는 데이터 신호가 입력되는 픽셀의 EL 소자는 기록 주기가 완료된 이후 전력 공급이 입력될 때 이 필드에 할당된 디스플레이 주기 동안 픽셀을 on 상태로 한다.

이 동작은 모든 N개 필드에서 반복되고, 각 픽셀의 계조는 디스플레이 주기를 부가함으로써 한 프레임에서 제어된다. 그러므로, 임의의 한 픽셀을 중심으로, 한 픽셀의 계조는 픽셀이 각 필드에서 얼마나 오랜 주기 동안 밝혀지는가 (얼마나 많은 디스플레이 주기가 지나는가)를 근거로 제어될 수 있다.

그래서, 본 발명의 가장 중요한 특성은 디지털 구동기 시간 분할 계조 방법이 활성 매트릭스형 EL 디스플레이 디바이스에서 사용된다는 것이다. 이러한 시간 분할 계조 구동기를 사용함으로써, 아날로그 구동기 계조 디스플레이의 문제점인 TFT 특성에서의 영향 없이 계조 디스플레이를 실행하는 것이 가능해진다.

#### 본 발명의 구성 및 작용

바람직한 실시예들의 상세한 설명

실시 형태

도 1은 본 발명의 활성 매트릭스형 EL 디스플레이 디바이스의 블록도이다. 도 1a 및 도 1b의 활성 매트릭스형 EL 디스플레이 디바이스는 픽셀 부분(101)과, 기판상에 형성된 TFT로 픽셀 부분 주변에 배열된 소스 구동기 회로(102) 및 게이트 구동기 회로(103)에 의해 형성된다. 또한, 참조번호(113)는 시간 분할 계조 데이터 신호 발생 회로 (SPC, serial to parallel conversion circuit)를 나타낸다.

소스 구동기 회로(102)는 스위프트 레지스터(102a), 래치(1)(102b) 및 래치(2)(102c)를 갖는다. 부가하여, 이는 또한 버퍼 (도면에는 도시되지 않은)를 갖는다.

본 실시예의 활성 매트릭스형 EL 디스플레이 디바이스에는 단 하나의 소스 구동기 회로만이 형성되지만, 상하에 픽셀 부분을 샌드위치형으로 배치하도록 2개의 소스 구동기 회로가 형성될 수 있음을 주목한다.

더욱이, 게이트 구동기 회로(103)는 스위프트 레지스터 및 버퍼 (도면에 도시되지 않은)와 같은 회로를 갖는다.

픽셀 부분(101)은 640 x 480 (수평 x 수직) 픽셀을 갖는다. 스위칭 TFT 및 전류 제어 TFT는 각 픽셀에 배열된다. 스위칭 TFT(105)는 게이트선(106) 및 소스선 (데이터선)(107)에 연결된다. 또한, 전류 제어 TFT(108)의 드레인에는 EL 소자(109)에 연결되고, 전류 제어 TFT(108)의 소스는 전류 공급선(110)에 연결된다.

스위칭 TFT(105)의 게이트는 게이트선(106)이 선택될 때 개방되고, 소스선(107)의 데이터 신호는 캐패시터(112)에 저장되고, 또한 전류 제어 TFT(108)의 게이트는 개방된다. 다른 말로 하면, 전류는 소스선(107)으로부터 입력된 데이터 신호로 인해 전류 제어 TFT(108)로 흐르고, EL 소자는 빛을 방출한다.

여기서는 본 실시예의 활성 매트릭스형 EL 디스플레이 디바이스의 신호 흐름 및 동작이 설명된다.

먼저, 소스 구동기 회로(102)의 동작이 설명된다. 소스 구동기 회로(102)는 기본적으로 스위프트 레지스터(102a), 래치(1)(102b) 및 래치(2)(102c)를 포함한다. 클럭 신호(CK) 및 시작 펄스(SP)는 스위프트 레지스터

타(102a)에 입력된다. 쉬프트 레지스터(102a)는 클럭 신호(CK) 및 시작 펄스(SP)를 근거로 순서대로 타이밍 신호를 발생하고, 타이밍 신호는 버퍼 (도면에 도시되지 않은)를 통과한 이후에 이어지는 회로에 순서대로 공급된다.

쉬프트 레지스터(102a)로부터의 타이밍 신호는 버퍼와 같은 회로에 의해 버퍼 처리되어 증폭된다. 로드(load) 캐패시턴스 (여진 (parasitic) 캐패시턴스)는 많은 회로나 소자가 연결되어 있기 때문에 타이밍 신호가 공급되는 소스선에서 크다. 버퍼 회로는 로드 캐패시턴스가 크기 때문에 발생된 타이밍 신호의 상승 및 하강시 "무더지는 것 (blunting)"을 방지하기 위해 형성된다.

버퍼에 의해 버퍼 처리되고 증폭된 타이밍 신호 (디지털 데이터 신호)는 이어서 래치(1)(102b)에 공급된다. 래치(1)(102b)은 6개 비트의 데이터 신호를 처리하기 위한 래치를 갖는다. 래치(1)(102b)은 시간 분할 계조 데이터 신호 발생 회로(113)로부터 공급된 6개 비트 디지털 데이터 신호를 취하여, 상기 타이밍 신호가 입력될 때 이를 저장한다.

디지털 데이터 신호를 래치(1)(102b)의 모든 스테이지에 기록하는 것을 완료할 때까지의 시간량은 기록 시간이라 칭하여진다. 다른 말로 하면, 래치(1)(102b)내에서 최좌측에 있는 스테이지의 래치에 디지털 데이터 신호가 기록되는 시점으로부터 최우측 스테이지의 래치에 디지털 데이터 신호가 기록되는 시점까지가 기록 주기이다. 또한, 상기 기록 주기는 또한 라인 (line) 주기라 칭하여진다.

기록 주기가 완료된 이후에, 래치 신호는 쉬프트 레지스터(102a)의 동작 타이밍에 따라 래치(2)(102c)에 공급된다. 이때, 래치(1)(102b)에 기록되고 저장되는 디지털 데이터 신호는 모두 한번에 래치(2)(102c)로 출력되어 래치(2)(102c)에 저장된다.

이어서, 디지털 데이터 신호가 래치(2)(102c)로 전달된 이후, 시간 분할 계조 데이터 신호 발생 회로(113)로부터 공급된 또 다른 디지털 데이터 신호의 기록은 다시 쉬프트 레지스터(102a)로부터의 타이밍 신호를 근거로 순서대로 실행된다.

더욱이, 래치 신호는 래치(2)(102c)에 입력된다.

쉬프트 레지스터 (도시되지 않은)로부터의 타이밍 신호는 게이트 구동기 회로(103)에서 공급되고, 대응하는 게이트선 (주사선)에 공급된다.

참조번호(113)는 시간 분할 계조 데이터 신호 발생 회로 (SPC, serial to parallel conversion circuit)이다. 시간 분할 계조 데이터 신호 발생 회로(113)는 외부에서 입력되는 디지털 신호의 주파수를  $1/m$ 로 감소시키는 회로이다. 외부에서 입력되는 디지털 신호를 분할함으로써, 구동기 회로의 동작에 요구되는 신호 주파수는 또한  $1/m$ 로 감소될 수 있다.

픽셀 부분에 입력되는 데이터 신호는 디지털 신호이고, 더욱이 액정 디스플레이 디바이스와 다르게, 본 발명은 전압 계조 디스플레이가 아니므로, "0" 또는 "1" 정보를 갖는 디지털 데이터 신호가 그대로 픽셀 부분에 입력된다.

픽셀 부분(101)에는 다수의 픽셀(104)이 매트릭스 상태로 배열된다. 픽셀(104)의 확대도는 도 1b에 도시된다. 참조번호(105)는 도 1b에서 스위칭 TFT를 나타내고, 스위칭 TFT(105)는 게이트 신호를 입력하기 위한 게이트선(106) 및 비디오 신호를 입력하기 위한 소스 배선(107)에 연결된다.

또한, 참조번호(108)는 전류 제어 TFT이고, 그 게이트는 스위칭 TFT(105)의 드레인에 연결된다. 전류 제어 TFT(108)의 드레인은 EL 소자(109)에 연결되고, 그 소스는 전류 공급선(110)에 연결된다. EL 소자(109)는 전류 제어 TFT(108)에 연결된 양극 (anode) (픽셀 전극) 및 양극과 반대로 형성되고 EL 충을 선택드 위치형으로 배치하는 음극 (cathod) (반대 전극)으로 구성되고, 음극은 소정의 전력 공급(111)에 연결된다.

스위칭 TFT(105)는 n-채널 TFT가 되거나 p-채널 TFT가 될 수 있음을 주목한다.

전류 제어 TFT는 전류 제어 TFT(108)가 n-채널 TFT일 때, 전류 제어 TFT(108)의 드레인 부분이 EL 소자(109)의 음극에 연결되고, 전류 제어 TFT(108)로 p-채널 TFT가 사용되는 경우, 전류 제어 TFT(108)의 드레인 부분이 EL 소자(109)의 양극에 연결되도록 하는 구조를 갖는다.

또한, 캐패시터(112)는 스위칭 TFT(105)가 비선택 상태 (off 상태)일 때 전류 제어 TFT(108)의 게이트 전압을 저장하기 위해 형성된다. 캐패시터(112)는 스위칭 TFT(105)의 드레인 및 전류 공급선(110)에 연결된다.

상술된 바와 같이 픽셀 부분에 입력되는 디지털 데이터 신호는 시간 분할 계조 데이터 신호 발생 회로(113)에 의해 형성된다. 이 회로는 디지털 신호 (그 신호는 화상 정보를 포함한다)로 이루어진 비디오 신호가 시간 분할 계조를 실행하도록 디지털 데이터 신호로 변환되고, 시간 분할 계조 디스플레이를 실행하는데 필요한 타이밍 펄스가 발생되는 회로이다.

전형적으로, 시간 분할 계조 디지털 신호 발생 회로(113)에는 한 프레임을 N 비트 (여기서, N은 2 이상의 정수) 계조에 대응하는 다수의 펄드로 분할하는 수단, 다수의 펄드에서 기록 주기 및 디스플레이 주기를 선택하는 수단 및  $Ts1:Ts2:Ts3:\dots:Ts(n-1):Ts(n) = 2^0:2^1:2^2:\dots:2^{n-2}:2^{n-1}$  이 되는 디스플레이 주기를 설정하는 수단이 포함된다.

시간 분할 계조 디지털 신호 발생 회로(113)는 본 발명의 EL 디스플레이 디바이스 외부에 형성되거나, 내부에 형성될 수 있다. EL 디스플레이 디바이스 외부에 회로를 형성할 때, 외부에서 형성된 디지털 데이터 신호가 본 발명의 EL 디스플레이 디바이스에 입력되는 구조가 된다.

다음에는 본 발명의 활성 매트릭스 EL 디스플레이 디바이스의 단면 구조도가 도 2에 도시된다.

참조번호(11)는 기판을 나타내고, 참조번호(12)는 도 1에서 기저부 (base)가 되는 절연막 (이후 기저막이라 칭하여진다)을 나타낸다. 빛에 투명한 기판, 전형적으로 유리 기판, 수정 기판, 유리 세라믹 기판,

또는 결정화된 유리 기판이, 기판(11)으로 사용될 수 있다. 사용되는 기판은 제작 처리의 최고 처리 온도를 견딜 수 있어야 함을 주목한다.

또한, 기저막(12)은 특히 미동 이온을 포함하는 기판이나 전도성을 갖는 기판이 사용되는 경우에 특히 효과적이지만, 수정 기판으로 형성될 필요는 없다. 실리콘을 포함하는 절연막이 기저막(12)을 형성하는데 사용될 수 있다. "실리콘을 포함하는 절연막"이란 말은 특별히 본 명세서에서 산화실리콘막, 질화실리콘막, 또는 소정의 비율로 실리콘, 산소 및 질소를 포함하는 질산화실리콘막 (SiO.N로 나타내지고, x 및 y는 임의의 정수로 나타내지)를 나타냄을 주목한다.

참조번호(201)는 n-채널 TFT로 형성된 스위칭 TFT를 나타내지만, 스위칭 TFT는 또한 p-채널 TFT로 형성될 수 있다. 참조번호(202)는 전류 제어 TFT를 나타내고, 도 2는 전류 제어 TFT(202)가 p-채널 TFT로 형성된 경우를 도시한다. 다른 말로 하면, 전류 제어 TFT의 드레인 전극은 이 경우 EL 소자의 양극에 연결된다. 그러나, 전류 제어 TFT가 n-채널 TFT로 형성될 때, 전류 제어 TFT는 EL 소자의 음극에 연결된다.

n-채널 TFT의 전계 효과 이동도 (field effect mobility)는 p-채널 TFT의 전계 효과 이동도 보다 더 크므로, 많은 전류가 고속으로 흐를 수 있다. 또한, 똑같은 양의 전류가 흐르더라도, n-채널 TFT의 TFT 크기는 더 작게 만들어질 수 있다.

본 발명에서, 스위칭 TFT 및 전류 제어 TFT를 n-채널 TFT로 제한할 필요가 없고, 스위칭 TFT나 전류 제어 TFT, 또는 둘 모두를 p-채널 TFT로 사용하는 것이 가능함을 주목한다.

스위칭 TFT(201)는 다음을 갖추어 형성된다: 소스 영역(13), 드레인 영역(14), LDD 영역(15a 내지 15d), 분리 영역(16) 및 채널 형성 영역(17a, 17b)을 포함하는 활성층; 게이트 전극(19a, 19b), 제1 층간 절연막(interlayer) 절연막(20), 소스 배선(21) 및 드레인 배선(22). 게이트 절연막(18)이나 제1 층간 절연막(20)은 기판상의 모든 TFT 중에서 공통되게 만들어지거나, 회로 또는 소자에 대응하여 다르게 만들어질 수 있음을 주목한다.

도 2a에 도시된 스위칭 TFT(201)는 전기적으로 연결된 게이트 전극(19a, 19b)을 가지므로, 이중 게이트 구조라 칭하여진다. 물론, 이중 게이트 구조 뿐만 아니라, 삼중 게이트 구조와 같은 다중게이트 구조(직렬로 연결된 2개 이상의 채널 형성 영역을 갖는 활성층을 포함하는 구조)도 또한 사용될 수 있다.

다중게이트 구조는 off 전류의 값을 낮추는데 매우 효과적이고, 스위칭 TFT의 off 전류를 충분히 낮춤으로써, 도 1b에 도시된 캐패시터(112)에 필요한 용량을 줄이는 것이 가능해진다. 즉, 캐패시터(112)의 독립 표면적이 더 작아질 수 있으므로, 다중게이트 구조는 또한 EL 소자(109)의 실제 방사 표면적을 증가시킨다 효과적이다.

부가하여, 스위칭 TFT(201)에서 LDD 영역(15a 내지 15d)은 게이트 절연막(18)을 샌드위치형으로 배치하여 형성되므로, 게이트 전극(17a, 17b)과 오버레이(overlay)되지 않는다. 이 구조는 off 전류값을 감소시킨다 매우 효과적이다. 더욱이, LDD 영역(15a 내지 15d)의 길이 (폭)는 0.5 내지 3.5  $\mu\text{m}$ , 전형적으로 2.0 내지 2.5  $\mu\text{m}$ 로 설정된다.

채널 형성 영역과 LDD 영역 사이에 오프셋(offset) 영역(채널 형성 영역과 똑같은 구성을 갖고 게이트 전압이 인가되지 않는 영역)을 형성하는 것이 off 전류값을 감소시키는데 더 바람직함을 주목한다. 또한, 2개 이상의 게이트 전극을 갖는 다중게이트 구조가 사용될 때, 채널 형성 영역 사이에 형성된 분리 영역(16) (소스 영역이나 드레인 영역과 똑같은 농도로, 똑같은 불순물 원소가 부가되는 영역)은 off 전류의 값을 낮추는데 효과적이다.

이어서, 전류 제어 TFT(202)는 다음을 갖추어 형성된다: 소스 영역(26), 드레인 영역(27) 및 채널 형성 영역(29); 게이트 절연막(18); 게이트 전극(30); 제1 층간 절연막(20); 소스 배선(31); 및 드레인 배선(32). 게이트 전극(30)은 단일 게이트 구조를 갖지만, 다중게이트 구조가 또한 사용될 수 있음을 주목한다.

도 1b에 도시된 바와 같이, 스위칭 TFT(201)의 드레인인 전류 제어 TFT(202)의 게이트에 전기적으로 연결된다. 특별히, 전류 제어 TFT(202)의 게이트 전극(30)은 드레인 배선 (또한, 연결 배선라 칭하여지)는(22)를 통해 스위칭 TFT(201)의 드레인 영역(14)에 전기적으로 연결된다. 또한, 소스 배선(31)은 도 1b에서 전류 공급 배선(110)에 연결된다.

또한, 흐를 수 있는 전류량을 증가시킨다는 관점으로 볼 때, 전류 제어 TFT(202)의 활성층 (특히, 채널 형성 영역)의 막두께를 두껍게 (전형적으로 50 내지 100 nm, 전형적으로 60 내지 80 nm) 만드는 것이 효과적이다. 반대로, 스위칭 TFT(201)에서 off 전류값을 더 작게 만든다는 관점에서 볼 때, 활성층 (특히, 채널 형성 영역)의 막두께를 얇게 (전형적으로 20 내지 50 nm, 전형적으로 25 내지 40 nm) 만드는 것이 또한 효과적이다.

상기에는 픽셀내에 형성된 TFT의 구조가 설명되었지만, 구동기 회로가 또한 동시에 형성된다. 도 2b는 구동기 회로를 형성하는 기본 유닛인 CMOS 회로가 도시된다.

도 2에서, 핫 캐리어(hot carrier) 주입을 가능한한 많이 감소시키는 구조를 갖는 TFT는, 동작 속도를 떨어뜨리지 않고, CMOS 회로의 n-채널 TFT(204)로 사용된다. 여기서 칭하여지는 구동기 회로는 도 1a에 도시된 소스 구동기 회로(102) 및 게이트 신호 구동기 회로(103)를 나타냄을 주목한다. 물론, 다른 신호 처리 회로 (레벨 쉬프터, A/D 변환기, 또는 신호 구동기 회로)를 형성하는 것도 가능하다.

n-채널 TFT(204)의 활성층은 소스 영역(35), 드레인 영역(36), LDD 영역(37) 및 채널 형성 영역(38)을 포함하고, LDD 영역(37)은 게이트 절연막(18)을 샌드위치형으로 배치하여 게이트 전극(39)과 오버랩된다. LDD 영역(37)은 본 명세서를 통해 Lov 영역이라 칭하여진다.

드레인 영역측에만 있는 LDD 영역의 형성은 동작 속도를 낮추지 않는 것을 고려한다. 또한, n-채널 TFT(204)에서 off 전류의 값에 많은 관심을 둘 필요가 없고, 동작 속도를 더 강조하여야 한다. 그러므로, LDD 영역(37)이 게이트 전극과 완전히 오버랩되어, 저항 성분을 가능한한 많이 감소시키는 것



이 바람직하다. 다른 말로 하면, 모든 오프셋을 제거하는 것이 좋다.

CMOS 회로의 p-채널 TFT(205)에서는 한 캐리어 주입의 변화를 거의 관심을 두지 않고, 특히 LOD 영역이 형성될 필요가 없다. 그러므로, 활성층은 소스 영역(40), 드레인 영역(41) 및 채널 형성 영역(42)을 포함하고, 게이트 절연막(18) 및 게이트 전극(43)은 상단에 형성된다. 또한, n-채널 TFT(204)와 유사하게 LOD 영역을 형성함으로써 한 캐리어에 대해 반응을 취하는 것이 물론 가능하다.

또한, n-채널 TFT(204) 및 p-채널 TFT(205)는 각각 제1 층간 절연막(20)으로 덮히고, 소스 배선(44, 45)가 형성된다. 부가하여, 이들 둘은 드레인 배선(46)에 의해 전기적으로 연결된다.

다음에, 참조번호(47)는 제1 비활성화막(passivation film)을 나타내고, 그 막의 두께는 10 nm 내지 1  $\mu$ m (바람직하게 200 내지 500 nm)로 설정된다. 실리콘을 포함하는 절연막(특히, 질산화실리콘막이나 질화실리콘막)을 사용하는 것이 바람직하다. 이 비활성화막의 물질로 사용될 수 있다. 비활성화막(47)은 알칼리 금속이나 습기로부터 형성된 TFT를 보호하는 역할을 갖는다. TFT의 상단부에 제공되는 최종 EL층에는 나트륨과 같은 알칼리 금속이 포함된다. 다른 말로 하면, 제1 비활성화막(47)은 이들 알칼리 금속(이동 이온)이 TFT로 침투되지 않도록 하는 보호층으로 작용한다. 그러나, 이 비활성화막을 언제나 형성할 필요는 없고, 필요할 때 형성될 수 있다.

또한, 참조번호(48)는 TFT로 인한 스텝(step)의 레벨화를 실행하는 레벨화막으로 동작하는 제1 층간 절연막을 나타낸다. 제2 층간 절연막(48)으로는 유기체 수지막이 바람직하고, 폴리이미드(polyimide), 폴리아미드(polyamide), 아크릴(acrylic), 또는 BCB(benzocyclobutene)가 사용될 수 있다. 이들 유기체 수지막은 양호한 레벨 표면을 쉽게 형성하고 낮은 유전상수를 갖는 이점을 갖는다. EL층은 균일하지 못 한 것에 매우 민감하므로, 제2 층간 절연막에 의해 모든 TFT 스텝을 거의 모두 흡수하는 것이 바람직하다. 부가하여, EL 소자의 음극과 게이트 배선 또는 데이터 배선 사이에 형성되는 여진 캐패시턴스를 감소시키도록 낮은 유전상수의 물질을 두껍게 형성하는 것이 바람직하다. 그러므로, 두께는 바람직하게 0.5 내지 5  $\mu$ m (보다 바람직하게 1.5 내지 2.5  $\mu$ m)이다.

또한, 참조번호(49)는 투명한 전도막으로 구성된 픽셀 전극을 나타낸다. 제2 층간 절연막(48) 및 제1 비활성화막(47)에 접촉 홀(hole)을 개방시킨 이후에, 픽셀 전극(49)은 전류 제어 TFT(202)의 드레인 배선(32)에 연결되도록 형성된다. 도 2에 도시된 바와 같이, 픽셀 전극(49) 및 드레인 영역(27)이 직접 연결되는 경우, EL층의 알칼리 금속은 픽셀 전극을 통해 활성층에 들어가지 않도록 방지될 수 있다.

제3 층간 절연막(50)은 산화실리콘막, 질산화실리콘막, 또는 유기체 수지막으로 픽셀 전극(49)상에 0.3 내지 1  $\mu$ m의 두께로 형성된다. 개방 부분은 에칭에 의해 픽셀 전극(49)위의 제3 층간 절연막(50)에 형성되고, 개방 부분의 엣지(edge)는 테이퍼(taper) 형태가 되도록 에칭된다. 테이퍼 각도는 10 내지 60도 (바람직하게 30 내지 50도)로 설정된다.

EL층(51)은 제3 층간 절연막(50)에 형성된다. EL층(51)으로는 단일층 구조나 적층 구조가 사용될 수 있지만, 적층 구조가 양호한 빛 방사 효율을 갖는다. 일반적으로, 홀 주입층, 홀 운송층, 방사층 및 전자 운송층이 픽셀 전극상에 순서대로 형성되지만, 홀 운송층, 방사층 및 전자 운송층을 갖는 구조나 홀 주입층, 홀 운송층, 방사층, 전자 운송층 및 전자 주입층을 갖는 구조가 또한 사용될 수 있다. 본 발명에서는 임의의 공지된 구조가 사용될 수 있고, 형광 색소 등을 EL층에 도핑(doping)하는 것도 실행될 수 있다.

유기체 EL 물질로는 공지된 물질이 사용될 수 있고, 예를 들면 다음의 미국 특허 및 일본 특허 출원에서 설명된 물질이 사용될 수 있다: 미국 특허 제 4,356,429 호; 미국 특허 제 4,539,507 호; 미국 특허 제 4,720,432 호; 미국 특허 제 4,769,292 호; 미국 특허 제 4,885,211 호; 미국 특허 제 4,950,950 호; 미국 특허 제 5,059,861 호; 미국 특허 제 5,047,687 호; 미국 특허 제 5,073,446 호; 미국 특허 제 5,059,862 호; 미국 특허 제 5,061,617 호; 미국 특허 제 5,151,629 호; 미국 특허 제 5,294,869 호; 미국 특허 제 5,294,870 호; 일본 특개평 10-189525 호; 일본 특개평 8-241048 호; 및 일본 특개평 8-78159 호.

EL 디스플레이 디바이스는 대략 4가지 종류의 칼라 디스플레이 방법으로 나뉘를 주목한다: R, G 및 B에 대응하는 3가지 종류의 EL 소자를 형성하는 방법; 칼라 필터로 백색 칼라 발광 EL 소자를 조합하는 방법; 청색 또는 청록색 발광 EL 소자와 형광 물질(CCM, fluorescing color change layer)을 조합하는 방법; 및 투명 전극을 음극(반대 전극)으로 사용하고 R, G 및 B에 대응하는 EL 소자를 오버랩시키는 방법.

도 2의 구조는 R, G 및 B에 대응하는 3가지 종류의 EL 소자를 형성하는 경우의 예이다. 비록 도 2에는 단 하나의 픽셀이 도시되지만, 동일한 구조를 갖는 픽셀이 적색, 녹색 및 청색 칼라에 각각 대응하여 형성되고, 그에 의해 칼라 디스플레이가 실행될 수 있음을 주목한다.

회도 방법에 관계없이 본 발명을 실시하는 것이 가능하고, 상기 4가지 종류의 방법이 모두 본 발명에서 사용될 수 있다. 그러나, EL과 비교해, 형광 본체는 느린 응답 속도 및 잔광의 문제점이 있으므로, 형광 본체를 사용하지 않는 것이 바람직하다. 또한, 방사된 빛의 밝기가 떨어지는 원인이 되는 칼라 필터도 사용하지 않는 것이 바람직하다.

EL 소자의 음극(52)은 EL층(51)에 형성된다. 마그네슘(Mg), 리튬(Li), 또는 칼슘(Ca)과 같이 낮은 작업 계수의 물질을 포함하는 물질은 음극(52)으로 사용된다. 바람직하게, MgAg로 구성된 전극(Mg:Ag = 10:1)의 혼합으로 Mg 및 Ag를 포함하는 물질이 사용된다. 부가하여, MgAgAl 전극, LiAl 전극 및 LiFAl 전극이 다른 예로 주어질 수 있다.

EL층(51)을 형성한 이후, 대기에 노출되지 않고, 연속하여 음극(52)을 형성하는 것이 바람직하다. 이는 음극(52)과 EL층(51) 사이의 인터페이스 상태가 EL 소자의 빛 방사 효율에 많은 영향을 주기 때문이다. 본 명세서를 통해, 픽셀 전극(양극), EL층 및 음극으로 형성되는 빛 방사 소자는 EL 소자라 칭하여짐을 주목한다.

EL층(51)과 음극(52)으로 구성된 적층 구조는 각 픽셀에 대해 분리되어 형성될 필요가 있지만, EL층(51)



은 습기에 대해 매우 약하므로, 일반적인 사진식각술 (photolithography) 기술이 사용될 수 없다. 그러므로, 금속 마스크 (mask)와 같은 물리적 마스크 물질을 사용하고, 진공 증발, 스퍼터링 (sputtering), 또는 플라스마 (plasma) CVD와 같이 기체형 방법에 의해 층을 선택적으로 형성하는 것이 바람직하다.

또한, 잉크 제트 프린팅이나 스크린 프린팅과 같은 방법을 티층을 선택적으로 형성하는 방법으로 사용하는 것이 가능함을 주목한다. 그러나, 잉크는 이들 방법과 연속적으로 동시에 형성될 수 없으므로, 상기에 언급된 다른 방법을 사용하는 것이 바람직해 보인다.

또한, 참조번호 (53)는 외부 습기 등으로부터 음극 (52)을 보호하고, 동시에 각 픽셀의 음극 (52)에 연결되는 전극인 보호 전극을 나타낸다. 보호 전극 (53)으로는 알루미늄 (Al), 구리 (Cu), 또는 은 (Ag)을 포함하는 저저항 물질을 사용하는 것이 바람직하다. 보호 전극 (53)은 또한 티층에 의해 발생된 열량을 경감시키는 열 방출 효과를 갖는 것으로 기대될 수 있다. 부가하여, 상기 티층 (51) 및 음극 (52)을 형성한 이후, 대기에 노출되지 않고, 연속하여 보호 전극 (53)을 형성하는 것이 효과적이다.

또한, 참조번호 (54)는 제2 비활성화막을 나타내고, 그 막두께는 10 nm 내지 1  $\mu$ m (바람직하게 200 내지 500 nm)로 설정된다. 제2 비활성화막을 형성하는 목적은 주로 습기로부터 티층 (51)을 보호하기 위한 것이지만, 열 방출 효과가 주어지는 경우 또한 효과적이다. 상술된 티층은 열에 대해 약하므로, 가능한 한 낮은 온도에서 (바람직하게 실온 내지 120°C의 온도 범위에서) 막 피착이 실행되는 것이 바람직하다. 그러므로, 플라스마 CVD, 스퍼터링, 진공 증발, 이온 플레이팅 (ion plating) 및 용액 적용 (스핀 코팅 (spin coating))이 바람직한 막 피착 방법이다. 그러나, 제2 비활성화막 (54)을 언제나 형성할 필요는 없고, 요구할 때 형성되어야 한다.

본 발명의 요점은 지금까지 아날로그 구동 계조에서 문제가 되었던 TFT 특성에서의 분산 문제점을 개선하여, 활성 매트릭스형 EL 디스플레이 디바이스에서 아날로그 구동 계조 디스플레이를 디지털 구동 시간 분할 계조 디스플레이로 변화시키는 것이다. 그러므로, 본 발명은 도 2의 EL 디스플레이 디바이스의 구조에 제한되지 않고, 도 2의 구조는 본 발명을 실시하는 하나의 바람직한 형태일 뿐이다.

폴리실리콘막을 사용하는 상기 TFT는 고속 동작을 갖지만, 한 캐리어 주입과 같은 원인으로 인해 쉽게 변형된다. 그러므로, 도 2에 도시된 바와 같이, 그 기능 (충분히 낮은 off 전류를 갖는 스위칭 TFT 및 한 캐리어 주입에 대해 강한 전류 제어 TFT)에 응답하여 다른 구조를 갖는 픽셀내에 TFT를 형성하는 것이 높은 확실성을 제공한다. 또한, 이는 양호한 영상 디스플레이 (양호한 이동 기능성)를 갖출 수 있는 EL 디스플레이 디바이스의 제작에 매우 효과적이다.

#### 실시예 1

본 발명의 실시예는 도 9 내지 도 16 및 도표 1 내지 4를 사용하여 설명된다.

여기서는 본 발명을 실시할 때 사용되는 픽셀 부분, 그 픽셀 부분 근처에 형성된 구동기의 구조 및 조건 (크기 및 전압값과 같은), 또한 입력 신호가 설명된다.

도 9는 상기로부터 알 수 있는 바와 같이 완전한 패널 (panel)의 평면도이다 (음극 막 피착부로부터). 디스플레이는 바닥과 마주 대하여 실행된다. 도 9에서 참조번호 (901)은 픽셀 부분을 나타내고, 참조번호 (902)는 소스 구동기 회로를 나타내고, (903)은 게이트 구동기 회로를 나타내고, (904)는 탄력 프린트 회로 (이후 FPC (flexible printed circuit)라 칭하여지는)의 입력 부분을 나타낸다. 실시예 1에서 사용되는 FPC 입력 부분 (904)은 300  $\mu$ m 피치 (pitch)로 50개의 단자를 갖는다.

실시예 1에서 도 9의 FPC 입력 부분 (904)은 도 10에 도시된 바와 같이, FPC 입력 부분을 보호하는 회로를 갖는다. 비디오 신호 입력 단자 (도 9에서 FPC 입력 부분 (904) 중 상단 부분에 부착된 단자 1 내지 50 중에서 단자 5 내지 20 및 27 내지 42)는 저항기 (R1)를 갖지 않음을 주목한다.

또한, 보호 회로를 갖는 FPC 입력 단자 부분 중 일부는 번호 1, 2, 21, 22, 43, 44, 49 및 50을 제외하고, 도 9에서 FPC 입력 부분 (904) 중 상단 부분에 부착되는 모든 번호 1 내지 50임을 주목한다.

부가하여, 도표 1은 실시예 1에서 사용되는 FPC 입력 단자의 조건을 도시한다. 도표 1에 도시된 "단자 No"는 도 9에서 FPC 입력 부분 (904)의 상단부에 부착된 번호 1 내지 50에 대응함을 주목한다.

표 1

단자 No	단자 기호	신호 종류	전압 범위[V]	노드(신호명 등)
		NC		패드 온리
1	EL_CATH	인버턴스	약 4 (0.0~9.0)/9	EL 구동기 D.C. 전원(음극)
2	EL_ANOD	전원	9	EL 구동기 D.C. 전원(양극)
3	S_LATb	인버턴스	0.0/9.0	소스 구동기 회로 래치 반전 신호
4	S_LAT	인버턴스	0.0/9.0	소스 구동기 회로 래치 신호
5	VD_16	인버턴스	0.0/9.0	디지털 비디오 신호 16
6	VD_15	인버턴스	0.0/9.0	디지털 비디오 신호 15
7	VD_14	인버턴스	0.0/9.0	디지털 비디오 신호 14
8	VD_13	인버턴스	0.0/9.0	디지털 비디오 신호 13

9	VD_12	언밸런스	0.0/9.0	디지털 비디오 신호 12
10	VD_11	언밸런스	0.0/9.0	디지털 비디오 신호 11
11	VD_10	언밸런스	0.0/9.0	디지털 비디오 신호 10
12	VD_09	언밸런스	0.0/9.0	디지털 비디오 신호 9
13	VD_08	언밸런스	0.0/9.0	디지털 비디오 신호 8
14	VD_07	언밸런스	0.0/9.0	디지털 비디오 신호 7
15	VD_06	언밸런스	0.0/9.0	디지털 비디오 신호 6
16	VD_05	언밸런스	0.0/9.0	디지털 비디오 신호 5
17	VD_04	언밸런스	0.0/9.0	디지털 비디오 신호 4
18	VD_03	언밸런스	0.0/9.0	디지털 비디오 신호 3
19	VD_02	언밸런스	0.0/9.0	디지털 비디오 신호 2
20	VD_01	언밸런스	0.0/9.0	디지털 비디오 신호 1
21	S_GND	전원	0	소스 구동기 회로 음의 전원
22	S_VDD	전원	9	소스 구동기 회로 양의 전원
23	S_LEFT	전원	0.0 or 9.0	소스 구동기 회로 주사 방향 선택기(0.0: 우측 주사, 9.0: 좌측주사)
24	S_SP	언밸런스	0.0/9.0	소스 구동기 회로 시작 펄스 신호
25	S_CKB	펄런스	0.0/9.0	소스 구동기 회로 클럭 반전 신호
26	S_CK	펄런스	0.0/9.0	소스 구동기 회로 클럭 신호
27	VD_01	언밸런스	0.0/9.0	디지털 비디오 신호 1
28	VD_02	언밸런스	0.0/9.0	디지털 비디오 신호 2
29	VD_03	언밸런스	0.0/9.0	디지털 비디오 신호 3
30	VD_04	언밸런스	0.0/9.0	디지털 비디오 신호 4
31	VD_05	언밸런스	0.0/9.0	디지털 비디오 신호 5

32	VD_06	언밸런스	0.0/9.0	디지털 비디오 신호 6
33	VD_07	언밸런스	0.0/9.0	디지털 비디오 신호 7
34	VD_08	언밸런스	0.0/9.0	디지털 비디오 신호 8
35	VD_09	언밸런스	0.0/9.0	디지털 비디오 신호 9
36	VD_10	언밸런스	0.0/9.0	디지털 비디오 신호 10
37	VD_11	언밸런스	0.0/9.0	디지털 비디오 신호 11
38	VD_12	언밸런스	0.0/9.0	디지털 비디오 신호 12
39	VD_13	언밸런스	0.0/9.0	디지털 비디오 신호 13
40	VD_14	언밸런스	0.0/9.0	디지털 비디오 신호 14
41	VD_15	언밸런스	0.0/9.0	디지털 비디오 신호 15
42	VD_16	언밸런스	0.0/9.0	디지털 비디오 신호 16
43	G_GND	전원	0	게이트 구동기 회로 음의 전원
44	G_VDD	전원	10	게이트 구동기 회로 양의 전원
45	G_UP	전원	0.0 or 10.0	게이트 구동기 회로 주사 방향 선택기(0.0: Down Scanning, 9.0: Up Scanning)
46	G_CKB	밸런스	0.0/10.0	게이트 구동기 회로 블록 반전 신호
47	G_CK	밸런스	0.0/10.0	게이트 구동기 회로 클럭 신호
48	G_SP	언밸런스	0.0/10.0	게이트 구동기 회로 시작 펄스 신호
49	EL_ANOD	전원	9	EL 구동기 D.C. 전원(양극)
50	EL_CATH	언밸런스	약 4 (0.0~9.0)/9	EL 구동기 D.C. 전원(음극)
		NC		패드 연결

다음에, 도 11은 도 9의 게이트 구동 회로(903)의 상세한 회로도를 도시한다. 게이트 구동기 회로에서 양의 전력 공급 전압은 10 V이고, 음의 전력 공급 전압은 0 V이다. 게이트 구동기 회로에 입력되는 동작 클럭 주파수는 232 kHz이다. 또한, 게이트 구동기 회로는 주사 방향 사이에서 스위칭되는 기능을 갖는다.

도 11에서 기호 g\_chsw\_a는 주사 방향 스위치이고, 기호 g\_sfr\_b, g\_sfr\_c 및 g\_sfr\_d는 쉬프트 레지스터 일부이고, 기호 g\_nand\_e는 NAND 회로이고, 기호 g\_buff\_f는 버퍼를 나타낸다.

도 11에서 점선으로 둘러싸인 부분, 즉 g\_chsw\_a, g\_sfr\_b, g\_sfr\_c 및 g\_sfr\_d는 실시예 10에서 쉬프트 레지스터(11001)라 칭하여진다.

실시예 1의 게이트 구동기 회로를 구성하는 쉬프트 레지스터, NAND 회로 및 버퍼에 포함된 TFT의 크기가 도표 20에 도시된다.

쉬프트 레지스터, NAND 회로 및 버퍼에는 p형 TFT 및 n형 TFT가 사용되므로, 각 TFT에 대해 값들이 도시된다. 도표 2의 크기는 도 10에 도시된 기호에 대응한다. 또한, 테이블에서, 기호 L (μm)은 TFT의 채널 길이를 나타내고, 기호 W (μm)은 TFT 채널폭을 나타낸다. Lov 영역은 n형 TFT의 채널 길이에 포함됨을 주목한다.

표 2

Pch-TFT	L[ $\mu$ m]	W[ $\mu$ m]	Nch-TFT	L[ $\mu$ m]	Lov[ $\mu$ m]	W[ $\mu$ m]
g_chsw_a	4.5	20	g_chsw_a	5	0.5	10
g_sfr_b	4.5	16	g_sfr_b	5	0.5	8
g_sfr_c	4.5	40	g_sfr_c	5	0.5	20
g_sfr_d	4.5	10	g_sfr_d	5	0.5	5
g_nand_e	4.5	22	g_nand_e	5	0.5	22
g_buff_f	4.5	50	g_buff_f	5	0.5	25

다음에는 도 9의 소스 구동기 회로(902)에 대해 상세한 회로도도 도 12에 도시된다. 소스 구동기 회로에서 양의 전력 공급 전압은 9 V이고, 음의 전력 공급 전압은 0 V이다. 소스 구동기 회로에 입력되는 동작 클럭 주파수는 12.5 MHz이고, 소스 구동기 회로는 주사 방향 사이에서 스위칭되는 기능을 갖는다.

도 12에서 기호 s\_chsw\_a는 주사 방향 스위치이고, 기호 s\_sfr\_b, s\_sfr\_c 및 s\_sfr\_d는 쉬프트 레지스터 부분이고, 기호 s\_nand\_e는 NAND 회로이고, 또한 기호 s\_buff\_f, s\_buff\_g, s\_buff\_h 및 s\_buff\_i는 모두 버퍼를 나타낸다. 또한, 기호 s\_lat1\_j, s\_lat1\_k, s\_lat1\_m, s\_lat1\_n은 제1 행에서 래치 (이후 래치 1이라 칭하여지는)이고, s\_lat2\_p, s\_lat2\_r, s\_lat2\_s는 제2 행에서 래치 (이후 래치 2라 칭하여지는)이다.

도 12에서 점선으로 둘러싸인 부분, 즉 s\_chsw\_a, s\_sfr\_b, s\_sfr\_c 및 s\_sfr\_d로 구성된 부분은 실시 예 1에서 쉬프트 레지스터(12001)로 칭하여진다.

실시에 1의 소스 구동기 회로를 구성하는 쉬프트 레지스터, NAND 회로 및 버퍼에 포함된 TFT의 크기는 다음 도표 3에 도시된다. 쉬프트 레지스터, NAND 회로 및 버퍼에는 p형 TFT 및 n형 TFT가 사용되므로, 각 TFT에 대해 그 값이 도시된다. 도표 3의 크기는 도 12에 도시된 각 기호에 대응한다. 또한, 도표에서 기호 L ( $\mu$ m)은 TFT의 채널 길이를 나타내고, 기호 W ( $\mu$ m)은 TFT 채널폭을 나타낸다. Lov 영역은 n형 TFT의 채널 길이에 포함될 수 있다.

표 3

Pch-TFT	L[ $\mu$ m]	W[ $\mu$ m]	Nch-TFT	L[ $\mu$ m]	Lov[ $\mu$ m]	W[ $\mu$ m]
s_chsw_a	4.5	60	s_chsw_a	5	0.5	40
s_sfr_b	4.5	50	s_sfr_b	5	0.5	25
s_sfr_c	4.5	100	s_sfr_c	5	0.5	50
s_sfr_d	4.5	30	s_sfr_d	5	0.5	15
s_nand_e	4.5	50	s_nand_e	5	0.5	50
s_buff_f	4.5	100	s_buff_f	5	0.5	50
s_buff_g	4.5	100	s_buff_g	5	0.5	50
s_buff_h	4.5	300	s_buff_h	5	0.5	150
s_buff_i	4.5	400	s_buff_i	5	0.5	200
s_lat1_j	4.5	16	s_lat1_j	5	0.5	8
s_lat1_k	4.5	16	s_lat1_k	5	0.5	8
s_lat1_m	4.5	4	s_lat1_m	5	0.5	2
s_lat2_p	4.5	30	s_lat2_p	5	0.5	15
s_lat2_r	4.5	16	s_lat2_r	5	0.5	8
s_lat2_s	4.5	4	s_lat2_s	5	0.5	2
s_buff2_t	4.5	30	s_buff2_t	5	0.5	15

도 13 및 도 14에는 게이트 구동기 회로로부터 입력된 신호의 타이밍도가 도시된다. 도 13은 게이트선 선택이 하향 주사 방향인 경우이고, 도 14는 상향 주사 방향인 경우이다. 이는 한 필드의 단위로 도시될 수 있다.

도 13 및 도 14에는 FPC로부터 입력된 신호와 게이트 구동기 회로로부터 입력된 신호가 도시된다. FPC로부터 입력된 신호에서, 기호 EL\_CATH는 EL을 구동하기 위한 dc 전압 공급이고, 기호 G\_UP은 게이트 구동기 회로의 주사 방향을 스위칭하기 위한 신호이고, 기호 G\_CK는 게이트 구동기 회로에 입력되는 클럭 신호이고, 기호 G\_CKb는 게이트 구동기 회로에 입력된 반전 클럭 신호이고, 또한 기호 G\_SP는 게이트 구동기 회로에 입력되는 시작 펄스 신호를 나타낸다.

더욱이, 게이트 구동기 회로로부터 입력된 신호에서, G\_OSR\_001과 같은 기호는 쉬프트 레지스터로부터 출력된 신호를 나타내고, G\_LINE\_001과 같은 기호는 게이트선에 입력된 신호를 나타낸다.

도 13 및 도 14에 도시된 기호는 도 11에 도시된 심볼에 대응한다.

다음에는 소스 구동기 회로로부터 입력된 신호의 타이밍도가 도 15 및 도 16에 도시된다. 이들은 모두 수평 방향 주사에 대한 것이고, 도 15는 우측 방향으로 주사함으로써 m개 열의 픽셀로 기록하는 경우이고, 도 16은 좌측 방향으로 주사함으로써 m개 열의 픽셀로 기록하는 경우이다.

FPC로부터 입력된 신호와 게이트 구동기 회로 및 소스 구동기 회로로부터 입력된 신호는 도 15 및 도 16에 도시된다. FPC로부터 입력된 신호에서, 기호 S\_LAT는 소스 구동기 회로에 입력되는 래치 신호이고, 기호 S\_LATb는 소스 구동기 회로에 입력되는 반전된 래치 신호이고, 기호 S\_LEFT는 소스 구동기 회로의 주사 방향을 스위칭하는 신호이고, 기호 S\_CK는 소스 신호 회로에 입력되는 클럭 신호이고, 기호 S\_CKb는 소스 구동기 회로에 입력되는 반전된 클럭 신호이고, 기호 S\_SP는 소스 구동기 회로에 입력되는 시작 펄스 신호이고, 또한 V0\_1과 같은 기호는 16개 비디오선의 처음부터 (번호 0) 소스 구동기 회로에 입력되는 비디오 신호를 나타낸다.

더욱이, 소스 구동기 회로로부터 입력되는 신호에서, S\_OSR\_001과 같은 기호는 쉬프트 레지스터로부터 소스선에 출력되는 신호를 나타내고, S\_OL\_01과 같은 기호는 제1 (번호 001) 소스선에 연결된 래치 1로부터 출력되는 신호를 나타낸다. S\_SMP\_01과 같은 기호는 제1 (번호 01) 소스선에 연결된 샘플링 회로로부터 출력되는 신호를 나타낸다. G\_LINE\_m과 같은 기호는 번호 m 게이트선에 입력되는 신호를 나타낸다.

도 15 및 도 16에 도시된 기호는 도 12에 도시된 심볼에 대응한다.

실시에 1에서 패널 내부의 각 픽셀은 도 7의 참조번호(71)와 유사한 구조를 갖는다. EL 구동기 TFT(702)는 p형이고 ( $L = 5 \mu m$ ,  $W = 2 \mu m$ ), 픽셀 스위치 TFT(701)는 n형 ( $L = 2.5 \mu m$  ( $L_{off} = 0.5 \times 2 \times 3$ 을 제외하고),  $W = 1 \mu m$ )이다. 또한, 보조 캐패시터(704)의 표면적은  $S = 0.05$  내지  $0.11 mm^2$ 이다.

실시에 1에서 디스플레이 패널의 조건은 도표 4에 도시된다.

표 4

화면 크기	0.7인치 (대각선)
픽셀수	640 x 480
픽셀 공간	22.5 $\mu m$
계조	64 (6 bit)
개구 비율	38%
소스 구동기 회로의 동작 클럭 주파수	12.5MHz
게이트 구동기 회로의 동작 클럭 주파수	232kHz
구동기 회로의 전압	9V
디스플레이부의 전압	7V
충격 비율	62.5%
칼라	신호 칼라

실시에 1에서, 패널 크기는 50 mm x 50 mm이고, 화면 크기는 14.4 mm x 10.8 mm (0.7 인치 대각선)이다. 픽셀 크기는 12.5  $\mu m$  x 12.5  $\mu m$ 이고, 픽셀 매트릭스는 스트라이프 (stripe) 형상이고, 개구 비율은 대략 38%이다.

또한, 한 화면 당 픽셀의 수는  $(d2 + 640 + d2) \times (d2 + 480 + d2)$ 로 계산되며,  $307,200 + (d)4496$  픽셀이다 (여기서, d는 더미 (dummy)를 나타낸다).

실시에 1에서, 패널의 조건은 640 x 480 VGA이고, 단일 칼라 디스플레이이다. 또한, 64개의 계조 (6 비트)가 있고, 충격 비율은 62.5%이다.

실시에 1에서, 소스 구동기 회로 일부분이 도 26에 도시된다. 도면의 참조번호(2601)는 쉬프트 레지스터

를 나타내고, 참조번호(2602)는 래치(1)를 나타낸다.

부가하여, 도 27에는 본 발명을 실시함으로써 구해지는 EL 디스플레이 장치의 정적 영상 디스플레이 사진이 도시된다.

## 실시예 2

실시예 1에서는 패널 외부에 형성된 EL 소자에 전압을 인가하기 위한 전력 공급의 스위치 (도 7의 참조번호(709))가 디스플레이 주기 동안 off 상태로 되고, 전력 공급 스위치가 기록 주기 동안 on 상태로 된다. 이 방법이 사용되면, 이는 기록 주기가 종료된 이후 디스플레이 주기로 들어가는 것과 동시에 전력 공급 스위치가 on 상태로 되는 시스템이 된다. 이 경우에는 디스플레이 주기로 들어가는 것과 동시에 전류량이 갑작스럽게 많이 증가되므로, 전체 패널의 로드와 대한 가변 전력 공급의 전하 충전 기능이 가능하다.

그래서, 전체 패널에 의해 요구되는 전압이 인가될 수 없어, 충분한 패널 디스플레이가 실행될 수 없다.

실시예 2에서, 기록 주기와 디스플레이 주기 사이의 갑작스러운 전류 증가는 전력 공급의 스위치 (도 7의 참조번호(709))를 언제나 on 상태로 남겨둠으로써 방지될 수 있다.

그러나, 디스플레이는 이 방법을 사용할 때 기록 주기 동안 실행되고, 도 4c의 기록 4, 기록 5, 기록 6에 서로 같이, 디스플레이 주기가 기록 주기 보다 더 짧을 때는 디스플레이 4, 디스플레이 5 및 디스플레이 6을 실시하는 것이 실질적으로 불가능해진다.

다른 말로 하면, 실시예 2를 실시할 때, 다음이 필요한 것으로 생각된다: 1) 픽셀의 수는 감소되고 기록 주기는 단축된다; 2) 구동기 회로에 포함된 TFT의 성능은 증가되고 동작 속도는 증가된다; 3) 구동기 회로가 패널 외부에 부착되는 구조를 사용하여 동작 속도를 증가시킨다.

## 실시예 3

본 발명의 실시예는 도 17 내지 도 20을 참고로 설명된다. 여기서는 픽셀 부분 및 그 픽셀 부분의 주변에 제공되는 구동기 회로 부분의 TFT를 동시에 제작하는 방법이 설명된다. 구동기 회로에 대해, 기본 유닛인 CMOS 회로가 간략하게 설명되도록 도면에 도시된다.

먼저, 기저막 (도시되지 않음)이 표면에 배치되는 기판(501)은 도 17a에 도시된 바와 같이 주어진다. 본 실시예에서는 100 nm의 두께를 갖는 질산화막과 200 nm의 두께를 갖는 또 다른 질산화막이 결정화된 유리상에 기저막으로 적층된다. 이때, 바람직하게, 결정화된 유리 기판과 접촉하는 막의 질소 농도는 10 내지 25 wt%로 유지된다. 물론, 기저막을 형성하지 않고 수정 기판상에 직접 소자를 형성하는 것이 가능하다.

이후에, 두께가 45 nm인 비결정질 실리콘막(502)이 공지된 막 형성 방법에 의해 기판(501)상에 형성된다. 비결정질 실리콘막에 이를 제한할 필요는 없다. 대신에, 비결정질 구조를 갖는 반도체막 (마이크로결정 반도체막을 포함하는)이 본 실시예에서 사용될 수 있다. 여기서는 비결정질 게르마늄실리콘막과 같은 비결정질 구조를 갖는 복합 반도체막이 또한 사용될 수 있다.

여기서부터 도 17c까지의 단계에 대해, 본 출원인에 의해 출원된 일본 특허 공개 제 10-247735 호를 완전히 언급하는 것이 가능하다. 이 내용은 Ni와 같은 원소를 촉매로 사용하는 반도체막 결정화 방법에 대한 기술을 설명한다.

먼저, 오픈링 (opening)(503a, 503b)을 갖는 보호막(504)이 형성된다. 본 실시예에서는 150 nm 두께를 갖는 산화실리콘막이 사용된다. 니켈을 포함하는 층(505) (니켈 포함층)은 스프인 코팅 방법에 의해 보호막(504)상에 형성된다.

Ni 포함층의 형성에 대해서는 상술된 출원을 참고할 수 있다.

이후에는 도 17b에 도시된 바와 같이, 570 °C에서 14 시간 동안 불활성 기체에서 열처리가 실행되며, 비결정질 실리콘막(502)이 결정화된다. 이때, 결정화는 기판과 나란히 진행되며, Ni이 접촉되는 영역 (506a, 506b) (이후, Ni 부가 영역으로 나타내지는)으로부터 시작된다. 그 결과로, 막대형 결정이 모여 선을 형성하는 결정체 구조를 갖는 폴리실리콘막(507)이 형성된다. 전자빔 회절 사진에 따라, 본 발명의 출원인은 도 12a에 도시된 바와 같이 {110} 면에 대응하여 나타나는 회절 스폿 (spot)이 관찰됨을 발견하였다.

이후에, 도 17c에 도시된 바와 같이, 15 그룹에 속하는 원소 (바람직하게, 인)는 보호막(504)을 마스크로 남겨두면서, Ni 부가 영역(506a, 506b)에 부가된다. 그래서, 인이 고농도로 부가된 영역(508a, 508b) (이후 인 부가 영역이라 나타내지는)이 형성된다.

이후에, 도 17c에 도시된 바와 같이 600 °C에서 12 시간 동안 불활성 대기에서 열처리가 실행된다. 폴리실리콘막(507)에 존재하는 Ni은 이 열 처리에 의해 이동되고, 이들 중 거의 모두가 화살표로 도시된 바와 같이 인 부가 영역(508a, 508b)에 의해 최종적으로 포착된다. 이는 인에 의한 금속 원소 (본 실시예에서는 Ni)의 게터링 효과 (gettering effect)에 의해 발생된 현상인 것으로 생각된다.

이 처리에 의해, 폴리실리콘막(509)에 남아있는 Ni의 농도는 SIMS (secondary ion-mass spectrometry)에 의한 측정값에 따라 적어도  $2 \times 10^{17}$  atoms/cm<sup>2</sup>으로 감소된다. 비록 Ni이 반도체의 수명을 단축시키지만, 이 범위로 감소될 때는 TFT 특성에 악영향을 주지 않는다. 부가하여, 이 농도는 종래 기술의 기준 상태에서 SIMS 분석의 측정 제한이므로, 이는 실제로 더 낮은 농도 ( $2 \times 10^{17}$  atoms/cm<sup>2</sup> 이하)를 나타내게 된다.

그래서, 촉매에 의해 결정화되고 촉매가 TFT의 동작을 방해하지 않는 레벨로 감소된 폴리실리콘막(509)이 구해질 수 있다. 이후에, 폴리실리콘막(509)만을 사용하는 활성층(510 내지 513)이 패턴화 처리에 의해 형성된다. 이때, 상기 폴리실리콘막을 사용함으로써, 이어지는 패턴화에서 마스크 정렬을 행하는 마커



(marker)가 형성되어야 한다 (도 17d).

이어서, 50 nm 두께를 갖는 질산화실리콘막이 도 17e에 도시된 바와 같이, 플라즈마 CVD 방법에 의해 형성되고, 950 °C에서 1 시간 동안 산화 대기에서 열처리가 실행되며, 열적 산화 처리가 실행된다. 산화 대기는 산소 대기이거나 할로겐이 부가된 또 다른 산소 대기가 될 수 있음을 주목한다.

이 열적 산화 처리에서는 산화가 활성층과 질산화실리콘막 사이의 인터페이스에서 진행되고, 약 15 nm의 두께를 갖는 폴리실리콘막이 산화되므로, 약 30 nm의 두께를 갖는 산화실리콘막이 형성된다. 즉, 30 nm 두께의 산화실리콘막과 50 nm 두께의 질산화실리콘막이 적층된 80 nm 두께의 게이트 절연막(514)이 실행된다. 활성층(510 내지 513)의 막 두께는 열적 산화 처리에 의해 30 nm로 만들어진다.

이어서, 도 18a에 도시된 바와 같이, 레지스트 마스크(resist mask)(515a, 515b)가 형성되고, 게이트 절연막(514)을 통해 p형을 제공하는 불순물 원소 (이후, p형 불순물 원소라 나타내지는)가 부가된다. p형 불순물 원소로는 13 그룹에 대표적으로 속하는 원소, 전형적으로 붕소나 갈륨이 사용될 수 있다. 이는 (채널 도핑 처리라 칭하여지는) TFT의 한계값 전압을 제어하기 위한 처리이다.

본 실시예에서, 붕소는 B<sub>2</sub>H<sub>6</sub> (diborane)의 질량 분리 없이 플라즈마 여기가 실행되는 이온 도핑 방법에 의해 부가된다. 물론, 질량 분리를 실행하는 이온 주입 방법이 사용될 수 있다. 이 처리에 따라,  $1 \times 10^{15}$  내지  $1 \times 10^{16}$  atoms/cm<sup>2</sup> (대표적으로  $5 \times 10^{15}$  내지  $5 \times 10^{16}$  atoms/cm<sup>2</sup>)의 농도로 붕소를 포함하는 불순물 영역(516 내지 518)이 형성된다.

이후에, 도 18b에 도시된 바와 같이, 레지스트 마스크(519a, 519b)가 형성되고, 게이트 절연막(514)을 통해 n형을 제공하는 불순물 원소 (이후, n형 불순물 원소라 나타내지는)가 부가된다. n형 불순물 원소로는 15 그룹에 대표적으로 속하는 원소, 전형적으로 인이나 비소가 사용될 수 있다. 본 실시예에서는 PH<sub>3</sub> (phosphine)의 질량 분리 없이 플라즈마 여기가 실행되는 플라즈마 도핑 방법이 사용된다. 인은  $1 \times 10^{15}$  atoms/cm<sup>2</sup>의 농도로 부가된다. 물론, 질량 분리를 실행하는 이온 주입 방법이 사용될 수 있다.

선량(dose)은 n형 불순물 원소가  $2 \times 10^{15}$  내지  $5 \times 10^{16}$  atoms/cm<sup>2</sup> (대표적으로  $5 \times 10^{15}$  내지  $5 \times 10^{16}$  atoms/cm<sup>2</sup>)의 농도로 이 처리에 의해 형성된 n형 불순물 영역(520)에 포함되도록 조정된다.

이어서, 처리는 도 18c에 도시된 바와 같이, 부가된 n형 불순물 원소 및 부가된 p형 불순물 원소를 활성화하도록 실행된다. 활성화 수단을 제한할 필요는 없지만, 게이트 절연막(514)이 배치되므로, 전자 열적 용광로(electro-thermal furnace)를 사용하는 용광로 가열냉각(furnace annealing) 처리가 바람직하다. 부가하여, 도 18a의 처리에서 채널 형성 영역의 일부분의 게이트 절연막과 활성층 사이의 인터페이스를 손상시킬 확률이 있기 때문에, 열처리를 가능한 한 높은 온도에서 실행하는 것이 바람직하다.

본 실시예에서는 높은 열저항의 결정화된 유리가 사용되므로, 활성화 처리는 800 °C에서 1 시간 동안 용광로 가열냉각 처리에 의해 실행된다. 열적 산화는 처리 대기를 산화 대기로 유지하여 실행될 수 있거나, 열처리가 불활성 대기에서 실행될 수 있다.

이 처리는 n형 불순물 영역(520)의 엣지, 즉 n형 불순물 영역(520)과 n형 불순물 영역(520) 주변 영역(도 18a의 처리에 의해 형성된 p형 불순물 영역) 사이의 경계부(접합부)를 정화하여, 여기에는 n형 불순물 원소가 부가되지 않는다. 이는 TFT가 나중에 완성될 때 LOD 영역 및 채널 형성 영역이 뛰어난 접합을 형성할 수 있음을 의미한다.

이후에, 200 내지 400 nm 두께를 갖는 전도막이 형성되고, 게이트 전극(521 내지 524)을 형성하도록 패턴화가 실행된다. 게이트 전극은 바람직하게 단일층의 전도막으로 구성될 수 있지만, 필요한 경우, 2층 또는 3층막과 같은 적층막이 사용될 수 주목한다. 게이트 전극의 물질로는 공지된 전도막이 사용될 수 있다.

특별히, 전도성을 갖는 탄탈(Ta), 티타늄(Ti), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr), 알루미늄(Al), 구리(Cu), 은(Ag) 및 실리콘(Si)으로 구성된 그룹에서 선택된 원소로 구성된 막; 상술된 원소의 질화물로 구성된 막 (대표적으로 질화탄탈막, 질화텅스텐막, 또는 질화티타늄막); 상술된 원소를 조합한 합금막 (대표적으로 Mo-W 합금 또는 Mo-Ta 합금); 또는 상술된 원소의 규화물막 (대표적으로 규화텅스텐막 또는 규화티타늄막)이 있다. 물론, 단일층 구조나 적층 구조가 사용될 수 있다.

본 실시예에서는 50 nm 두께를 갖는 질화텅스텐(WN)막과 350 nm 두께를 갖는 텅스텐(W)막으로 구성된 적층막이 사용된다. 이는 스퍼터링 방법에 의해 형성될 수 있다. 스퍼터링 기체로 Xe 또는 Ne와 같은 불활성 기체를 부가함으로써, 막이 스트레스(stress)로 인해 벗어지는 것을 방지할 수 있다.

이때, 게이트 전극(522)은 그들 사이에 게이트 절연막(514)을 갖는 n형 불순물 영역(520) 일부와 오버랩되도록 형성된다. 오버랩되는 부분은 나중에 게이트 전극과 오버랩되는 LOD 영역을 만든다. 도면의 단면도에 따라, 게이트 전극(523a, 523b)은 분리되는 것으로 나타나지만, 사실상은 서로 전기적으로 연결된다.

이후에, 게이트 전극(521 내지 524)을 마스크로, n형 불순물 원소 (본 실시예에서는 인)가 도 19a에 도시된 바와 같이 자체 정렬 방식으로 부가된다. 이때, n형 불순물 영역(520)의 농도로 이와 같이 형성된 불순물 영역(525 내지 532)에 인이 부가되도록 조정이 실행된다. 특별히, 농도가  $1 \times 10^{15}$  -  $5 \times 10^{16}$  atoms/cm<sup>2</sup> (전형적으로  $3 \times 10^{15}$  -  $3 \times 10^{16}$  atoms/cm<sup>2</sup>)인 것이 바람직하다.

이후에, 도 19b에 도시된 바와 같이, 레지스트 마스크(533a 내지 533d)는 게이트 전극을 덮도록 형성되고, 이어서 n형 불순물 원소 (본 실시예에서는 인)가 부가되어, 높은 농도의 인을 포함하는 불순물 영역(534 내지 536)이 형성된다. 여기서는 또한 PH<sub>3</sub>를 사용하는 이온 도핑 방법이 적용되고, 이 영역에서 인의 농도가  $1 \times 10^{20}$  -  $1 \times 10^{21}$  atoms/cm<sup>3</sup> (대표적으로  $2 \times 10^{20}$  -  $5 \times 10^{20}$  atoms/cm<sup>3</sup>)이 되도록 조정이

실행된다.

이 처리를 통해 n-채널형 TFT의 소스 영역 또는 드레인 영역이 형성되고, 스위칭 TFT는 도 19a의 처리에서 형성된 n형 불순물 영역(528 내지 530) 일부를 남겨둔다. 남겨진 영역은 도 20에서 스위칭 TFT의 LOD 영역(15a 내지 15d)에 대응한다.

이후에, 도 19c에 도시된 바와 같이, 레지스트 마스크(533a 내지 533d)가 제거되고, 레지스트 마스크(539)가 새롭게 형성된다. 이어서, p형 불순물 원소 (본 실시예에서는 붕소)가 부가되고, 고농도의 불소를 포함하는 불순물 영역(540 내지 543)이 형성된다. 여기서는 B<sub>2</sub>H<sub>6</sub>를 사용하는 이온 도핑 방법에 따라  $3 \times 10^{20} - 3 \times 10^{21}$  atoms/cm<sup>3</sup> (대표적으로  $5 \times 10^{20} - 1 \times 10^{21}$  atoms/cm<sup>3</sup>)의 농도가 구해지도록 붕소가 부가된다.

이는 이미  $1 \times 10^{20} - 1 \times 10^{21}$  atoms/cm<sup>3</sup>의 농도로 불순물 영역(540 내지 543)에 부가되었다. 여기서 부가된 붕소는 적어도 부가된 인의 농도의 3배 농도를 갖는다. 그러므로, 미리 형성된 n형의 불순물 영역은 완전히 p형으로 변화되어 p형의 불순물 영역으로 동작한다.

이후에 도 19d에 도시된 바와 같이, 레지스트 마스크(539)는 제거되고, 이어서 제1 층간 절연막(544)이 형성된다. 제1 층간 절연막(544)으로는 실리콘을 포함하는 절연막이 단일층 구조 또는 그들의 조합인 적층 구조의 형태로 사용된다. 막 두께는 400 nm 내지 1.5  $\mu$ m가 될 수 있다. 본 실시예에서는 800 nm 두께를 갖는 산화실리콘막이 200 nm 두께를 갖는 질산화실리콘막에 적층되는 구조를 생성한다.

이후에, 각 농도로 부가된 n형 또는 p형 불순물 원소가 활성화된다. 활성화 수단으로는 용광로 가열병각 방법이 바람직하다. 본 실시예에서는 전자 열적 용광로에서 질소 대기로 4 시간 동안 550 °C에서 열 처리가 실행된다.

열 처리는 수소화를 위해 3 내지 100%의 수소를 포함하는 대기로 1 내지 12 시간 동안 300 내지 450 °C에서 더 실행된다. 이는 열적으로 여기된 수소에 의해 반도체막의 덩글링 결합(dangling bond)을 수소-중결합시키는 처리이다. 수소화를 위한 또 다른 수단으로는 플라즈마 수소화(플라즈마에 의해 여기된 수소가 사용된다)가 실행될 수 있다.

수소화는 제1 층간 절연막(544)을 형성하는 동안 실행될 수 있다. 보다 상세하게, 200 nm 두께의 질산화실리콘막이 형성된 이후, 상술된 바와 같은 수소화가 실행되고, 이어서 나머지 800 nm 두께의 산화실리콘막이 형성될 수 있다.

이후에, 도 20a에 도시된 바와 같이, 접촉 홀이 제1 층간 절연막(544) 및 게이트에 만들어지고, 소스 배선(545 내지 548) 및 드레인 배선(549 내지 551)이 형성된다. 본 실시예에서, 이 전극은 100 nm 두께의 Ti막, Ti를 포함하는 300 nm 두께의 알루미늄막, 150 nm 두께의 Ti막이 스퍼터링 방법에 따라 연속적으로 형성되는 3층 구조의 적층막으로 형성된다. 물론, 다른 전도막이 사용될 수 있다.

이어서, 제1 비활성화막(552)은 50 내지 500 nm 두께 (대표적으로 200 내지 300 nm 두께)가 되도록 형성된다. 본 실시예에서는 제1 비활성화막(552)으로 300 nm의 두께를 갖는 질산화실리콘막이 사용된다. 질산화실리콘막이 이를 대신할 수 있다.

이때, 질산화실리콘막의 형성 이전에 H<sub>2</sub> 또는 NH<sub>3</sub>와 같이 수소를 포함하는 기체를 사용해 플라즈마 처리를 실행하는 것이 효과적이다. 이 예비처리에 의해 여기된 수소는 제1 층간 절연막(544)에 공급되고, 열처리를 통해, 제1 비활성화막(552)의 질이 개선된다. 동시에, 제1 층간 절연막(544)에 부가되는 수소가 하단층으로 확산되므로, 활성층은 효과적으로 수소화될 수 있다.

이후에, 도 20b에 도시된 바와 같이, 유기체 수지로 구성된 제2 층간 절연막(553)이 형성된다. 폴리이미드, 아크릴 섬유, 또는 BCB(benzocyclobutene)가 유기체 수지로 사용될 수 있다. 특히, 제2 층간 절연막(553)은 TFT에 의해 형성된 레벨차를 평평하게 만들도록 요구되므로, 매끄러움이 뛰어난 아크릴막이 바람직하다. 본 실시예에서는 아크릴막이 2.5  $\mu$ m 두께로 형성된다.

이후에, 데이터 배선(551)에 이르는 접촉홀이 제2 층간 절연막(553) 및 제1 비활성화막(552)에 만들어지고, 픽셀 전극(양극)(554)이 형성된다. 본 실시예에서는 ITO(indium-tin oxide)막이 110 nm의 두께로 형성되고, 픽셀 전극을 형성하도록 패턴화가 실행된다. 이 대신에, 산화인듐이 산화아연과 2 내지 20% 혼합된 투명 전도막이 사용될 수 있다. 픽셀 전극은 EL 소자의 양극이 된다.

이어서, 실리콘을 포함하는 절연막 (본 실시예에서는 산화실리콘막)이 500 nm 두께로 형성되고, 픽셀 전극(554)에 대응하는 위치에 오프닝이 형성되고, 이어서 제3 층간 절연막(555)이 형성된다. 오프닝이 형성될 때 습식 에칭 방법을 사용해 데이터 측면벽을 쉽게 형성하는 것이 가능하다. 오프닝의 측면벽이 충분히 완만한 기울기를 갖지 않으면, 레벨차에 의해 발생하는 EL층의 변형이 중요한 문제를 일으키게 된다.

이후에, EL층(556) 및 음극(MgAg 전극)(557)은 공기에 노출되지 않고 진공 피착에 의해 연속적으로 형성된다. 바람직하게, EL층(556)의 막두께는 800 내지 200 nm (전형적으로 100 내지 120 nm)이고, 음극(557)의 두께는 180 내지 300 nm (전형적으로 200 내지 250 nm)이다.

이 처리에서, EL층 및 음극은 적색에 대응하는 픽셀, 녹색에 대응하는 픽셀 및 청색에 대응하는 픽셀로 연속하여 형성된다. 그러나, EL층이 음극에 대한 내성이 떨어지므로, 사진식각술을 사용하지 않고 각 칼라에 대해 독립적으로 형성되어야 한다. 그래서, 금속 마스크를 사용해 원하는 것을 제외한 픽셀을 감추고 원하는 픽셀에 대한 EL층 및 음극을 선택적으로 형성하는 것이 바람직하다.

상세하게, 마스크는 먼저 적색에 대응하는 픽셀을 제외한 모든 픽셀을 감추도록 설정되고, 그 마스크를 사용해 적색 휘도의 EL층 및 음극이 선택적으로 형성된다. 이어서, 마스크는 녹색에 대응하는 픽셀을 제외한 모든 픽셀을 감추도록 설정되고, 그 마스크에 의해 녹색 휘도의 EL층 및 음극이 선택적으로 형성된다. 이어서, 상기와 같이, 마스크는 청색에 대응하는 픽셀을 제외한 모든 픽셀을 감추도록 설정되고, 그

마스크에 의해 형상 휘도의 Etch 및 음극이 선택적으로 형성된다. 이 경우, 각 칼라에 대해 다른 마스크가 사용된다. 대신에, 똑같은 마스크가 사용될 수 있다. 바람직하게, 모든 픽셀에 대해 Etch 및 음극이 형성될 때까지, 진공 상태를 벗어나지 않고 처리가 실행된다.

Etch(556)으로는 공지된 물질이 사용될 수 있다. 바람직하게, 공지된 물질로는 구동 전압을 고려한 유기체 물질이 있다. 예를 들면, Etch는 홀 주입층, 양의 홀 운송층, 빛 방사층 및 전자 주입층으로 구성된 4층 구조로 형성될 수 있다. 또한, Et 소자의 음극으로는 MgAg 전극이 사용된다. Yb와 같은 다른 공지된 물질이 사용될 수 있다.

또한, 보호 전극(558)으로는 주 성분으로 알루미늄을 포함하는 전도막이 사용될 수 있다. 보호 전극(558)은 증기 파착 방법에 의해 Etch 및 음극을 형성할 때 사용되는 것과 다른 마스크를 사용해 형성된다. 또한, 보호 전극은 공기에 노출되지 않고 Etch 및 음극을 형성한 이후에 연속적으로 형성되는 것이 바람직하다.

마지막으로, 질화실리콘막으로 구성된 제2 비활성화막(559)이 300 nm의 두께로 형성된다. 실제로, 보호 전극(558)은 습기 등으로부터 Etch를 보호하도록 동작한다. 부가하여, 제2 비활성화막(559)이 형성되고, 그에 의해 Et 소자의 확실성을 개선한다.

이 방법으로, 도 20c에 도시된 바와 같이 구성되는 활성 매트릭스형 Et 디스플레이 디바이스가 완료된다. 실제로는 바람직하게, 도 20c에 도시된 바와 같이 완성될 때 공기에 노출되지 않도록 밀폐된 보호막(적층막, 자외선 경화 수지막 등) 또는 세라믹 봉합캔(ceramic sealing can)과 같은 수납 물질로 패키징화(봉합)된다. 그 상황에서는 수납 물질의 내부를 불활성 대기로 만들거나 방습 물질(예를 들면, 산화바륨)을 배치함으로써 Etch의 확실성(수명)이 개선된다.

패키지화하여 밀폐성을 개선시킨 이후에, 기판상에 형성된 소자 또는 회로로부터의 단자를 외부 신호 단자에 연결시키기 위한 연결기(FPC: flexible print circuit)가 부착되고, 한 제품으로 완성된다. 본 명세서에서, 이와 같이 전체적으로 시장에 제시되는 Et 디스플레이 디바이스는 Et 모듈(module)이라 칭하여진다.

여기서, 본 실시예의 활성 매트릭스형 Et 디스플레이 디바이스의 구성이 도 21의 투시도를 사용하여 설명된다. 본 실시예의 활성 매트릭스형 Et 디스플레이 디바이스는 유리 기판(601)상에 형성되고, 픽셀 부분(602), 게이트층 구동 회로(603) 및 소스층 구동 회로(604)로 구성된다. 픽셀 부분의 스위칭 TFT(605)는 n-채널 TFT이고, 게이트층 구동 회로(603)에 연결된 게이트 배선(606)과 소스층 구동 회로(604)에 연결된 소스 배선(607)의 교차점에 위치한다. 더욱이, 스위칭 TFT(605)의 드레인은 전류 제어 TFT(608)의 게이트에 전기적으로 연결된다.

부가하여, 전류 제어 TFT(608)의 소스층은 전류 공급선(609)에 연결된다. 본 실시예의 구조에 따라, 전류 제어 TFT(609)에는 집지 전위가 제공된다. 또한, Et 소자(610)는 전류 제어 TFT(608)의 드레인에 연결되고, 소정의 전압(본 실시예에서는 10 내지 12 V)이 Et 소자(610)의 음극에 인가된다.

이어서, 입력 및 출력 배선(연결 배선)(612, 613)과, 전류 공급선(609)에 연결된 입력 및 출력 배선(614)은 신호를 구동기 회로에 전달하기 위해 외부 입력 및 출력 단자가 되는 FPC(611)에 형성된다.

수납 물질을 포함하여, 본 실시예의 Et 모듈의 설명은 도 22a 및 도 22b를 사용해 이루어진다. 필요할 때, 도 21에서 사용되는 표시가 언급될 수 있다.

픽셀 부분(1201), 소스 구동 회로(1202) 및 게이트 구동 회로(1203)는 기판(1200)상에 형성된다. 각 구동기 회로로부터의 다양한 배선이 FPC(611)를 통해 입력 및 출력 배선(612 내지 614)에서 외부 장비로 연결된다.

수납 물질(1204)은 적어도 픽셀 부분, 바람직하게 구동 회로와 픽셀 부분을 둘러싸는 지점에 형성된다. 수납 물질(1204)은 Et 소자의 내부 크기가 외부 크기보다 더 큰 불규칙적인 형상이거나 시트(sheet) 형상을 갖고, 기판(1200)과 결합되어 밀폐 공간을 형성하도록 고착물(1205)로 기판(1200)에 고정될 수 있다. 이때, Et 소자는 상기 밀폐 공간에 완전히 봉합된 상태이고, 외부 대기로부터 완전히 차단된다. 다수의 수납 물질(1204)이 형성될 수 있음을 주목한다.

수납 물질(1204)로는 유리나 폴리머(polymer)와 같은 절연 물질을 사용하는 것이 바람직하다. 다음이 그 예로 주어질 수 있다: 비결정질 유리(붕규산 유리나 수정); 결정화 유리; 세라믹 유리; 유기체 수지(아크릴 수지, 스티렌(styrene) 수지, 폴리카보네이트(polycarbonate) 수지 및 에폭시(epoxy) 수지와 같은); 및 실리콘 수지. 부가하여, 세라믹도 사용될 수 있다. 더욱이, 고착물(1205)이 절연 물질이라 가정하면, 스테인레스 합금과 같은 금속 물질을 사용하는 것도 가능하다.

고착물(1205)의 물질로는 에폭시 수지나 아크릴 수지와 같은 고착물을 사용하는 것이 가능하다. 부가하여, 열적으로 강화된 수지나 약간 강화된 수지가 또한 고착물로 사용될 수 있다. 산소나 습기가 가능한 한 많이 전달되지 않는 물질을 사용하는 것이 필요하다.

부가하여, 수납 물질과 기판(1200) 사이의 오프닝(1206)을 불활성 기체(예를 들면, 아르곤, 헬륨, 또는 질소)로 채우는 것이 바람직하다. 기체에는 제한이 없고, 불활성 액체(예를 들면, 액체 탄화물소, 전형적으로 퍼플루오로알칸(perfluoroalkane))을 사용하는 것도 가능하다. 일본 특개평 8-78519 호에서 사용되는 것과 같은 물질이 불활성 액체에 대해 참고될 수 있다.

오프닝(1206)에는 건조제를 형성하는 것이 효과적이다. 일본 특개평 9-148066 호에 기록된 것과 같은 물질이 건조제로 사용될 수 있다. 전형적으로, 산화바륨이 사용된다.

고립된 Et 소자를 갖는 다수의 픽셀은 도 22b에 도시된 바와 같이 픽셀 부분에 형성되고, 픽셀은 모두 공통 전극으로 보호 전극(1207)을 갖는다. 본 실시예에서는 대기에 노출되지 않고 Etch, 음극(MgAg 전극) 및 보호 전극을 연속하여 형성하는 것이 바람직하다. Etch 및 음극은 똑같은 마스크 물질을 사용해 형성되고, 보호 전극만이 분리된 마스크 물질로 형성된다고 가정하면, 도 22b의 구조가 실현될 수 있다.

이때, EL층 및 음극은 픽셀 부분에서만 형성되고, 구동 회로에 형성될 필요는 없다. 물론, 구동 회로에 이들을 형성하여도 문제는 없지만, 알칼리 금속이 EL층에 포함된다는 사실을 고려하면, 구동 회로 위에 형성하지 않는 것이 바람직하다.

보호 전극(1207)은 참조번호(1208)로 도시된 영역에서 픽셀 전극과 똑같은 물질로 구성된 연결 배선(1209)을 통해 입력 및 출력 배선(1210)에 연결됨을 주목한다. 입력 및 출력 배선(1210)은 소정의 전압(본 실시예에서는 접지 전위, 특별히 0 V)을 보호 전극(1207)에 제공하는 배선이고, 전도성 페이스트(paste) 물질(1211)을 통해 FPC(611)에 연결된다.

여기서는 영역(1208)에서 접촉 구조를 실현하는 제작 처리가 도 23을 사용해 설명된다.

먼저, 본 실시예의 처리에 따라 도 20a의 상태가 구해진다. 이때, 제1 중간 절연막(544) 및 게이트 절연막(514)은 기판의 엣지(도 22b에서 참조번호(1208)로 도시된 영역)로부터 제거되고, 입력 및 출력 배선(1210)은 그 영역상에 형성된다. 물론, 도 20a의 소스 배선 및 드레인 배선은 동시에 형성된다(도 23a를 참고).

다음에, 도 20b에서, 제2 중간 절연막(553) 및 제1 비활성화막(552)이 에칭될 때, 참조번호(1301)로 도시된 영역은 제거되고, 오프닝 영역(1302)이 형성된다. 이어서, 오프닝 부분(1302)을 덮도록 연결 배선(1209)이 형성된다. 물론, 연결 배선(1209) 및 픽셀 전극(554)은 도 20b에서 동시에 형성된다(도 23b를 참고).

픽셀 부분에 EL 소자를 형성하는 처리(제3 중간 절연막, EL층 및 음극 형성 처리)는 이 상태에서 실행된다. 이때, 마스크는 제3 중간 절연막 및 EL 소자가 도 13에 도시된 영역에 형성되지 않도록 이 영역에서 사용된다. 음극(557)을 형성한 이후에, 보호 전극(558)은 분리된 마스크 물질을 사용해 형성된다. 그래서, 보호 전극(558)과 입력 및 출력 배선(1210)은 연결 배선(1209)을 통해 전기적으로 연결된다. 또한, 제2 비활성화막(559)이 형성되어, 도 23c의 상태가 구해진다.

이와 같이, 도 22b에서 참조번호(1208)로 도시된 영역의 접촉 구조는 상기 단계에 의해 실현된다. 이어서, 입력 및 출력 배선(1210)은 수납 물질(1204)과 기판(1200) 사이의 오프닝을 통해 FPC(611)에 연결된다(이는 접착물(1205)로 채워짐을 주목한다; 다른 말로 하면, 접착물(1205)의 두께는 입력 및 출력 배선의 단계를 충분히 레벨화시킬 수 있을 필요가 있다). 여기서는 입력 및 출력 배선(1210)이 설명되었지만, 다른 출력 배선(612 내지 614)도 또한 수납 물질(1204) 아래를 통과함으로써 FPC(611)에 유사하게 연결됨을 주목한다.

#### 실시예 4

실시예 4에서는 실시예 3에 따라 제작된 활성 매트릭스형 EL 디스플레이 디바이스의 픽셀 구조에 대한 예가 설명된다. 설명에서는 도 24a 및 도 24b가 사용된다. 편의상, 도 1a, 도 1b 및 도 2에 대응하는 도 24a 및 도 24b의 부분은 도 1a, 도 1b 및 도 2에서 사용된 기호로 나타내짐을 주목한다.

또한, 도 24a는 제2 배선(소스선과 전류 공급선)을 피착하기 이전의 픽셀 구조를 도시하고, 도 24b는 EL층의 형성 이전의 구조를 도시한다.

도 24에서, 참조번호(201)는 소스 영역(13), 드레인 영역(14) 및 게이트 전극(106)을 포함하는 스위칭 TFT를 나타낸다. 또한, 참조번호(202)는 소스 영역(26), 드레인 영역(27) 및 게이트 전극(30)을 포함하는 전류 제어 TFT를 나타낸다. 부가하여, 전류 제어 TFT(202) 및 픽셀 전극(49)은 드레인선(32)을 통해 전기적으로 연결된다.

스위칭 TFT(201)의 드레인 배선(22)은 이 지점에서 접촉 부분(1601)에 의해 전류 제어 TFT(202)의 게이트 전극(30)에 전기적으로 연결된다. 더욱이, 게이트 전극(30)은 전류 공급선(110)과 오버랩되는 부분에서 저장 캐패시터(A)(112a)를 형성한다. 이때 게이트 전극(30)과 오버랩되도록 하는 형상으로 전류 공급선(110)을 정렬시킴으로써, 저장 캐패시터(A)(112a)의 캐패시턴스는 픽셀의 개구 비율을 감소시키지 않고 증가될 수 있다.

또한, 접촉 부분(80)에 의해 전류 공급선(110)에 전기적으로 연결되는 반도체막(81)은 게이트 전극(30)과 오버랩되어 저장 캐패시터(B)(112b)를 형성한다. 이때, 유전체는 게이트 절연막과 똑같은 층의 절연막이다.

저장 캐패시터(A)(112a)와 저장 캐패시터(B)(112b)는 도 24a 및 도 24b의 픽셀 구조에서 나란히 연결되어, 저장 캐패시터(112)로 동작한다.

반도체막(81) 및 전류 제어 TFT(202)의 소스 영역(26)은 분리된 접촉 부분에 의해 전류 공급선(110)에 전기적으로 연결됨을 주목한다. 이는 다음에 설명된다. 반도체막(81)에는 인이 도핑되어 저장 캐패시터(B)(112b)의 바닥층 전극이 되고, 전류 제어 TFT(202)의 활성층에는 이것이 p-채널 TFT이므로 붕소가 도핑된다. 다른 말로 하면, 인이 도핑된 반도체 영역과 붕소가 도핑된 반도체 영역이 인접되어, p-n 접합이 형성되기 때문에 전류 작용이 전개되는 것으로 생각된다. 이를 고려하여, 반도체막(81) 및 전류 제어 TFT(202)의 소스 영역(26)은 전류 공급선(110)에 분리되어 전기적으로 연결된다.

실시예 4에서 도 24a 및 도 24b에 도시된 픽셀 구조는 본 발명에 어떠한 제한도 제공하지 않으며, 단순히 바람직한 예임을 주목한다. 작동자는 스위칭 TFT, 전류 제어 TFT 및 저장 캐패시터가 임의의 위치에 형성되도록 적절하게 설계할 수 있다. 실시예 1 내지 3의 구성과 자유롭게 조합하여 실시예 4의 구성을 실시하는 것이 가능하다.

실시예 4의 구조는 특별히 영상 디스플레이 영역의 표면적이 커지는 경우에 효과적이다. 그 이유는 이후 설명된다.

본 발명의 EL 디스플레이 디바이스는 한 프레임을 다수의 필드로 나누어 구동을 실행하므로, 픽셀 부분을 구동하기 위한 구동기 회로에 인가되는 로드가 크다. 이러한 부담을 줄이기 위해 픽셀 부분의 로드(예

를 들면, 배선 저항, 여진 캐패시턴스, 또는 TFT 기록 캐패시턴스)를 가능한한 많이 줄이는 것이 바람직하다.

TFT 기록에서 데이터 배선 및 게이트 배선에 부가된 여진 캐패시턴스는 배선에 형성된 EL 소자의 음극(또는 보호 전극) 사이에 많이 형성된다. 이것은 제2 층간 절연막으로서 낮은 유전 상수를 갖는 유기체 수지막이 1.5 내지 2.5  $\mu\text{m}$  두께로 형성되기 때문에 거의 무시될 수 있다.

그래서, 픽셀 부분에 큰 표면적을 갖는 EL 디스플레이 디바이스에서 본 발명을 실시하는데 가장 큰 방해는 데이터 배선 및 게이트 배선의 배선 저항이다. 물론, 소스 구동기 회로를 다수의 회로로 나누어 평행한 처리를 실행하고, 픽셀 부분을 샌드위치형으로 포함하여 소스 구동기 회로 및 게이트 구동기 회로를 형성하고 양 방향으로 신호를 전송하고, 또한 구동기 회로의 동작 주파수를 효과적으로 감소시키는 것이 가능하다. 그러나, 그 경우에는 구동기 회로의 특정 표면적이 증가되는 것과 같은 분리된 문제점이 전개된다.

그러므로, 본 발명을 실시할 때는 실시예 4와 같은 구조에 따라 게이트 배선의 배선 저항을 가능한한 많이 줄이는 것이 매우 효과적이다. 실시예 4에서 도 24a 및 도 24b에 도시된 픽셀 구조는 본 발명에 어떠한 제한도 제공하지 않으며, 단지 바람직한 예임을 주목한다. 또한, 실시예 1 내지 3 중 임의의 것과 자유롭게 조합되어 실시예 4를 실시하는 것이 가능하다.

#### 실시예 5

실시예 5에서는 도 25를 사용해 도 2와 다른 구조를 갖는 픽셀 부분을 형성하는 경우가 설명된다. 도 25에 도시된 제2 절연막(48)에 의해 덮이는 전류 제어 TFT(206)는 도 2와 다른 구조를 가짐을 주목한다.

더욱이, 도 25에 도시된 EL 디스플레이 디바이스는 드레인 영역(27)과 채널 형성 영역(29) 사이에 형성된 LDD 영역(28)을 갖고, LDD 영역(28)이 게이트 절연막(18)을 샌드위치형으로 끼고 게이트 전극(30)과 오버랩되는 영역과 오버랩이 없는 영역을 갖도록 구성된다.

스위칭 TFT는 실시예 5에서 p-채널 TFT 또는 n-채널 TFT에 의해 형성될 수 있지만, 전류 제어 TFT를 n-채널 TFT로 형성하는 것이 바람직함을 주목한다.

전류 제어 TFT(206)에는 EL 소자(203)가 빛을 방사하게 하기 위하여 비교적 많은 양의 전류가 흐르므로, 한 캐리어 주입으로 인한 변형에 대비하는 단계를 취하는 것이 바람직하다. 더욱이, 흑색 칼라를 디스플레이할 때, 전류 제어 TFT(206)는 off 상태에 놓이지만, 그 때 off 전류가 크면, 깨끗한 흑색 칼라가 디스플레이될 수 없어서 대조 등에서 감소를 초래한다. 그러므로, off 전류를 또한 억제할 필요가 있다.

한 캐리어 주입으로 인한 변형에 대해, LDD 영역이 게이트 전극에 대해 오버랩되는 구조가 매우 효과적인 것으로 공지되어 있다. 그러나, 전체 LDD 영역이 오버랩되면, off 전류가 감소되므로, 본 발명의 출원인은 게이트 전극과 오버랩되지 않는 LDD 영역이 상기 구조에 부가되어 직렬로 형성되는 새로운 구조에 의해 한 캐리어 주입 문제점 및 off 전류 문제점을 동시에 해결한다.

이때, 게이트 전극과 오버랩되는 LDD 영역의 길이는 0.1 내지 3  $\mu\text{m}$  (바람직하게 0.3 내지 1.5  $\mu\text{m}$ )가 될 수 있다. 또한, 게이트 전극과 오버랩되지 않는 LDD 영역의 길이는 1.0 내지 3.5  $\mu\text{m}$  (바람직하게 1.5 내지 2.0  $\mu\text{m}$ )가 될 수 있다. 너무 길면, 충분한 양의 전류가 흐르지 못하고, 너무 짧으면, off 전류 감소 효과가 약해진다. 게이트 전극과 오버랩되지 않는 LDD 영역을 생략하고, 게이트 전극과 오버랩되는 LDD 영역만을 형성하는 것도 가능함을 주목한다.

또한, 상기 구조에서 게이트 전극과 LDD 영역이 오버랩되는 영역에 의해 여진 캐패시턴스가 형성되므로, 소스 영역(26)과 채널 형성 영역(29) 사이에 이를 형성하지 않는 것이 바람직하다. 캐리어 (여기서는 전자) 흐름 방향은 항상 전류 제어 TFT에서 똑같은으로, 드레인 영역측에만 LDD 영역을 형성하는 것으로 충분하다.

한편, 드레인측에 형성된 게이트 전극과 LDD 영역이 오버랩되는 영역에 의해 형성된 여진 캐패시턴스가 특히 사용되고, 이는 도 1a 및 도 1b의 저장 캐패시터(112)와 똑같은 기능을 제공할 수 있다. 이 경우에는 저장 캐패시터(112)와 결합되어 사용되는 것이 가능하고, 또한 저장 캐패시터(112)의 대용으로 사용되는 것도 가능하여 저장 캐패시터(112)가 생략될 수 있다. 저장 캐패시터(112)가 생략될 수 있으면, 개구 비율은 많이 증가될 수 있다.

실시예 5의 경우에서 제2 층간 절연막(48)과 제1 비활성화막(47)에 접촉 홀을 형성한 이후에는 음극이 되는 픽셀 전극(61)이 형성된다. 실시예 5에서는 픽셀 전극(61)으로 200 nm 두께의 알루미늄 합금막 (1 wt% 티타늄을 포함하는 알루미늄막)이 형성된다. 픽셀 전극 물질로는 금속 물질이면 임의의 물질이 사용될 수 있고, 높은 반사율을 갖는 물질이 바람직함을 주목한다.

이어서, 300 nm 두께를 갖는 산화실리콘막으로부터 픽셀 전극(61)상에 제3 층간 절연막(62)이 형성되고, 다음에는 20 nm 전자 운송층의 바닥, 40 nm 빛 방사층 및 30 nm 홀 운송층으로 구성되어 EL층(63)이 형성된다. 픽셀 전극(61) 보다 약간 더 큰 패턴을 갖도록 EL층(63)을 형성하는 것이 필요함을 주목한다. 이렇게 함으로서, 픽셀 전극(61)과 나중에 형성되는 양극(65) 사이에 구분이 방지될 수 있다.

여기서 사용되는 EL층을 형성하는 EL 물질로는 전자 운송층에서 BCP 또는 Alq와 같은 물질이 사용될 수 있음을 주목한다.

또한, CBP 및 Ir(ppy)<sub>3</sub>, Alq<sub>3</sub> (aluminum quinolinolate complex) 및 BeBq (benzo-quinolinolate beryllium)가 빛 방사층에서 사용될 수 있다. 부가하여, 쿠마린 (coumarin) 6 또는 퀴나크리돈 (quinacridon)이 도핑된 Alq와 같은 물질이 빛 방사 물질로 사용될 수 있다.

또한, Eu 복합체 (Eu(DCM)<sub>3</sub>(Phen))에 부가하여, DCM-1로 도핑된 Alq와 같은 물질이 빛 방사 물질로 사용될 수 있다. DPVBi에 부가하여, 말단 유전체 (distal dielectric), 리간드 (ligand)에서 아조메틴

(azomethine)을 처리한 아연 합성물, 또는 페릴린(perillin)으로 도핑된 DPVBi가 또한 빛 방출층으로 사용될 수 있다.

다음에, 스타버스트 아민(starburst amine)이라 칭하여지는 방향성 아민 MTDATA, a-NPD, TPAC, PDA 및 TPD와 같은 합성물, PVK(polyvinyl carbazole) 또는 TPD가 원칙적으로 또는 사이드 체인으로 조합된 폴리머 합성물이 폴 운송층으로 사용될 수 있다.

픽셀 전극(61) 및 EL층(63)은 다중챔버(multi-chamber) 방법(클러스터 툴(cluster tool)이라 칭하여지는) 진공 증기 장치를 사용함으로써 대기에 노출되지 않고 연속하여 형성됨을 주목한다. 실시예 5에서는 제3 층간 절연막(62)을 형성하는 처리로 들어가고, 바람직하게 패턴화에 의해 픽셀 전극(61) 및 제3 층간 절연막(62)을 형성한 이후에, 픽셀 전극(61)상의 산화막을 충분히 제거하고, 이어서 적색광을 방출하는 EL층이 금속 마스크를 사용해 형성된다. 이어서, 금속 마스크를 정확하게 제거하는 동안 쉬프트되어, 적색광 방사 EL층 및 청색광 방사 EL층이 순서대로 형성된다.

제2 마스크는 R6B에 대응하는 픽셀이 스트라이프 패턴으로 정렬되는 상기 방법에서 간단히 쉬프트됨을 주목한다. 그러나, 델타(delta) 배열을 갖는 픽셀 구조를 실현하기 위해서는 녹색광 방사 EL층을 형성하는 금속 마스크와 청색광 방사 EL층을 형성하는 금속 마스크가 분리되어 사용될 수 있다.

이와 같이 EL층(63)을 통해 형성한 이후에는 투명 전도막(실시예 5에서는 ITO 막에 10 wt% 산화아연을 포함하는 박막)으로 구성된 양극(65)이 110 nm의 두께로 EL층(63)상에 형성된다. 그래서, EL 소자(206)가 형성되고, 제2 비활성화막(66)이 질화실리콘막으로부터 형성되면, 도 25에 도시된 것과 같은 구조를 갖는 픽셀이 완료된다.

이 경우에는 음극 및 양극이 도 2와 반대 위치에 있음을 주목한다.

실시예 5의 구조를 사용할 때, TFT가 형성된 기판의 반대측(즉, 단면도에서 볼 때 상단 표면측)에는 픽셀에 의해 형성된 적색광, 녹색광 및 청색광이 조사된다. 그러므로, 픽셀내에서 거의 완전한 영역, 즉 TFT가 형성된 영역은 실제 빛 방출 영역으로 사용될 수 있다. 그 결과로, 픽셀의 실제 빛 방출 표면적은 많이 증가되고, 영상 밝기 및 대조 비율이 증가된다.

실시예 1 내지 4 중 임의의 것의 구성과 실시예 5의 구성을 자유롭게 조합하는 것이 가능함을 주목한다.

#### 실시예 6

실시예 1에서 도 2의 구성 중 활성층과 기판(11) 사이에 형성된 기저막으로 고열 방출 효과를 갖는 물질을 사용하는 것이 효과적이다. 특별히, 전류 제어 TFT에는 많은 양의 전류가 흐르므로, 열이 쉽게 발생되고, 자체적인 열 발생으로 인한 변형이 문제가 된다. TFT의 열적 변형은 이러한 경우 열 방출 효과를 갖는 실시예 6의 기저막을 사용함으로써 방지될 수 있다.

열 방출 효과를 갖는 광투명 물질로는 B(붕소), C(탄소) 및 N(질소)으로 구성된 그룹으로부터 선택된 적어도 하나의 원소와, Al(알루미늄), Si(실리콘) 및 P(인)로 구성된 그룹으로부터 선택된 적어도 하나의 원소를 포함하는 절연막이 주어질 수 있다.

예를 들면, 다음을 사용하는 것이 가능하다: 질화알루미늄 합성물, 전형적으로 질화알루미늄(Al<sub>3</sub>N); 탄화실리콘 합성물, 전형적으로 탄화실리콘(SiC); 질화실리콘 합성물, 전형적으로 질화실리콘(Si<sub>3</sub>N<sub>4</sub>); 질화붕소 합성물, 전형적으로 질화붕소(B<sub>3</sub>N); 또는 인화붕소 합성물, 전형적으로 인화붕소(B<sub>2</sub>P<sub>3</sub>).

또한, 산화알루미늄 합성물, 전형적으로 산화알루미늄(Al<sub>2</sub>O<sub>3</sub>)은 뛰어난 광투명 특성을 갖고, 20 W/m<sup>2</sup>K의 열전도성을 가지므로, 바람직한 물질로 언급될 수 있다. x 및 y는 상기 투명 물질에 대한 임의의 정수임을 주목한다.

상기 화학적 합성물은 또한 또 다른 원소와 조합될 수 있다. 예를 들면, 질소가 산화알루미늄에 추가된 AlN<sub>0.8</sub>로 표시되는 질산화알루미늄을 사용하는 것이 가능하다. 이 물질은 또한 열 방출 효과를 가질 뿐만 아니라, 습기 및 알칼리 금속과 같은 물질의 침투를 방지하는데도 효과적이다. x 및 y는 상기 질산화알루미늄에 대한 임의의 정수임을 주목한다.

더욱이, 일본 특개소 62-90260 호에 기록된 물질이 또한 사용될 수 있다. 즉, Si, Al, N, O 및 M을 포함하는 절연막이 또한 사용될 수 있다(M은 희토류(rare-earth) 원소로, 바람직하게 Ce(세륨), Yb(이테르븀), Sm(사마륨), Er(에르븀), Y(이트륨), La(란타넘), Gd(가돌리늄), Dy(디스프로슘) 및 Nd(네오디뮴)으로 구성된 그룹으로부터 선택된 원소임을 주목한다). 이들 물질은 열 방출 효과를 가질 뿐만 아니라, 습기 및 알칼리 금속과 같은 물질의 침투를 방지하는데도 효과적이다.

더욱이, 다이아몬드 박막 또는 비결정질 탄소막(특별히, 다이아몬드에 가까운 특성을 갖는 것; 다이아몬드형 탄소라 칭하여지는)과 같은 탄소막이 사용될 수 있다. 이들은 매우 높은 열 전도성을 가지므로, 방출층으로 매우 효과적이다. 막 두께가 더 커지면, 브라운 대역(brown banding)이 있어 투과율이 감소되므로, 가능한 한 얇은 막 두께(바람직하게 5 내지 100 nm)를 사용하는 것이 바람직하다.

또한, 상기 열 방출 효과를 갖는 물질로 구성된 박막이 그 자체로 사용될 수 있지만, 이 박막을 실리콘을 포함하는 절연막과 적층시키는 것이 효과적이다.

실시예 1 내지 5 중 임의의 것의 구성과 실시예 6의 구성을 자유롭게 조합하는 것이 가능함을 주목한다.

#### 실시예 7

실시예 3에서는 EL층으로 유기체 EL 물질을 사용하는 것이 바람직하지만, 본 발명은 또한 비유기체 EL 물질을 사용해 실시될 수 있다. 그러나, 기존 비유기체 EL 물질이 매우 높은 구동 전압을 가지므로, 구동 전압을 견딜 수 있는 전압 저항 특성을 갖는 TFT가 사용되어야 한다.

다른 방법으로, 더 낮은 구동 전압을 갖는 비유기체 EL 물질이 미래에 개발되면, 이를 본 발명에 적용하

는 것이 가능하다.

실시예 1 내지 6 중 임의의 것의 구성과 실시예 7의 구성을 자유롭게 조합하는 것이 가능함을 주목한다.

실시예 8

도 28a 및 도 28b에는 본 발명을 실시하는데 사용되는 EL 소자의 소자 구조예가 도시된다. 도 28a는 낮은 분자량의 EL 물질을 사용하는 경우이고, 기관상에 ITO 전극 (도 28a에서 IT0로 도시됨)을 형성한 이후에, CuPc (copper phthalocyanine)가 버퍼의 양극층에 사용되고, a-NPD가 홀 운송층에 사용되고, 또한 Alq가 빛 방출층에 사용된다. 증발하는 동안의 압력은  $2 \times 10^{-6}$  Torr 이하임을 주목한다.

도 28b에는 높은 분자량 (폴리머)의 EL 물질을 사용하는 경우의 소자 구조가 도시된다. 기관상에는 IT0 전극이 형성되고, 폴리머층이 스프인 코팅되고, 부가하여, 증발에 의해 음극 (금속)이 형성된다. 증발하는 동안의 압력은  $4 \times 10^{-6}$  Torr 이하이다. 빛 방출층은 실시예 8에서 모든 픽셀 사이에 공유되어, 복색 패널이 제작된다. 부가하여, 증발에 의해 음극을 형성할 때는 금속 마스크가 사용되고, 금속은 요구되는 위치에만 피착된다. 또한, 제작된 소자는 나중에 수지를 사용하여 봉합된다.

더욱이, 실시예 1 내지 7 중 임의의 것의 구성과 실시예 8의 구성을 자유롭게 조합하는 것이 가능하다.

실시예 9

도 29에는 실시예 8에서 설명되는 EL 소자의 특성이 도시된다. 이는 고정된 전압이 EL 소자에 인가될 때 전류 밀도 및 밝기를 측정한 것이다. 그 결과는 저분자량 EL 소자 및 고분자량 EL 소자가 모두 10 mA/cm<sup>2</sup>에서 수백 칸델라 (candela)를 갖고, EL 소자로 사용되기에 충분히 효과적인 것으로 나타난다.

실시예 10

자체 발광 디바이스 및 그 구동 방법을 적용하는 본 발명의 EL 디스플레이는 자체 발광하고 넓은 시야 각도를 갖기 때문에 액정 디스플레이와 비교해 밝은 위치에서도 뛰어난 가시성을 갖는다. 그러므로, 이는 다양한 전자 디바이스의 디스플레이 부분으로 사용될 수 있다. 예를 들면, 본 발명의 자체 발광 디바이스 및 그 구동 방법은 큰 화면으로 TV 방송 등을 감상하기 위해 30 인치 이상 (전형적으로 40 인치 이상) 대각선 EL 디스플레이의 디스플레이 부분에 사용될 수 있다.

개인용 컴퓨터 디스플레이 디바이스, TV 방송을 수신하는 디스플레이 디바이스 및 광고를 디스플레이하는 디스플레이 디바이스와 같이, 정보를 디스플레이하는 모든 디스플레이 디바이스는 EL 디스플레이에 포함됨을 주목한다. 또한, 본 발명의 자체 발광 디바이스 및 그 구동 방법은 또한 다양한 다른 전자 디바이스의 디스플레이 부분에 사용될 수 있다.

다음은 이러한 종류의 본 발명의 전자 장비로 주어질 수 있다: 비디오 카메라; 디지털 카메라; 고정형 디스플레이 디바이스 (머리에 설치하는 디스플레이); 항해 (navigation) 시스템; 오디오 재생 디바이스 (자동차 오디오 시스템 또는 오디오 콤포지트 시스템); 노트북형 개인용 컴퓨터; 게임 장치; 휴대용 정보 단말기 (이동 컴퓨터, 휴대용 전화기, 휴대용 게임기, 또는 전자 서적과 같은); 및 기록 매체를 갖춘 영상 재생 디바이스 (특별히, 디지털 비디오 디스크 (DVD)와 같은 기록 매체를 재생하고 그 영상을 디스플레이하는 디스플레이가 주어지는 디바이스). 특별히, 넓은 시야 각도는 사진 각도로 보여지는 휴대용 정보 단말기에 중요하므로, EL 디스플레이를 사용하는 것이 바람직하다. 이러한 전자 디바이스에 대한 특정한 예는 도 30a 내지 도 30f 및 도 31a 내지 도 31c에 도시된다.

도 30a는 EL 디스플레이이고, 프레임 (3301), 지지대 (3302) 및 디스플레이 부분 (3303) 등을 포함한다. 본 발명의 자체 발광 디바이스 및 그 구동 방법은 디스플레이 부분 (3303)에 사용될 수 있다. EL 디스플레이는 자체 발광형이므로, 백 라이트 (back light)가 필요하지 않아, 디스플레이 부분이 액정 디스플레이 디바이스 보다 덜 얇게 만들어질 수 있다.

도 30b는 비디오 카메라로, 메인 본체 (3311), 디스플레이 부분 (3312), 사운드 입력 부분 (3313), 동작 스위치 (3314), 배터리 (3315) 및 수신 부분 (3316)을 포함한다. 본 발명의 자체 발광 디바이스 및 그 구동 방법은 디스플레이 부분 (3312)에서 사용될 수 있다.

도 30c는 머리에 설치하는 EL 디스플레이의 일부 (우측)로, 메인 본체 (3321), 신호 케이블 (3322), 머리 고정 밴드 (3323), 투사 부분 (3324), 광학 시스템 (3325) 및 디스플레이 부분 (3326) 등을 포함한다. 본 발명의 자체 발광 디바이스 및 그 구동 방법은 디스플레이 부분 (3326)에 의해 사용될 수 있다.

도 30d는 기록 매체를 갖춘 영상 재생 디바이스 (특별히, DVD 재생 디바이스)로, 메인 본체 (3331), 기록 매체 (DVD와 같은) (3332), 동작 스위치 (3333), 디스플레이 부분 (a) (3334) 및 디스플레이 부분 (b) (3335) 등을 포함한다. 디스플레이 부분 (a) (3334)은 주로 영상 정보를 디스플레이하는데 사용되고, 디스플레이 부분 (b)은 주로 문자 정보를 디스플레이하는데 사용되고, 본 발명의 자체 발광 디바이스 및 그 구동 방법은 디스플레이 부분 (a) (3334) 및 디스플레이 부분 (b) (3335)에 의해 사용될 수 있다. 기록 매체를 갖춘 영상 재생 디바이스는 가정용 게임기와 같은 디바이스를 포함함을 주목한다.

도 30e는 고정형 디스플레이 디바이스 (머리에 설치하는 디스플레이)로, 메인 본체 (3341), 디스플레이 부분 (3342) 및 암 (arm) 부분 (3343)을 포함한다. 본 발명의 자체 발광 디바이스 및 그 구동 방법은 디스플레이 부분 (3342)에서 사용될 수 있다.

도 30f는 개인용 컴퓨터로, 메인 본체 (3351), 프레임 (3352), 디스플레이 부분 (3353) 및 키보드 (3354)를 포함한다. 본 발명의 자체 발광 디바이스 및 그 구동 방법은 디스플레이 부분 (3353)에서 사용될 수 있다.

EL 물질에 의해 방사되는 빛의 밝기가 미래에 증가되면, 출력 영상 정보를 포함하는 빛을 렌즈 등으로 확장 또는 투사하도록 전광형 또는 후방형 프로젝터 (projector)에서 사용하는 것이 가능해짐을 주목한다.



또한, 상기 전자 디바이스는 인터넷이나 CATV (cable television)와 같은 전자 통신선을 통해 전해지는 정보를 더 자주 디스플레이하고, 특히 이동 정보를 디스플레이하는 기회가 증가되고 있다. EL 물질의 응답 속도는 매우 높으므로, 이동 디스플레이에 EL 디스플레이를 사용하는 것이 바람직하다.

부가하여, EL 디스플레이는 빛 방사 부분에 전력을 보존하므로, 디스플레이 디바이스가 더 많은 에너지를 보존하게 하기 위해서는 빛 방사 부분이 가능하면 적게 되도록 정보를 디스플레이하는 EL 디스플레이를 사용하는 것이 바람직하다. 결과적으로, 휴대용 정보 단말기, 특히 오디오 재생 디바이스의 휴대용 전화기와 같이 주로 문자 정보를 위한 디스플레이 부분에 EL 디스플레이를 사용할 때, 빛을 방사하지 않는 부분이 배경으로 설정되면서 빛 방사 부분에 의해 문자 정보를 형성하도록 구동하는 것이 바람직하다.

도 31a는 휴대용 전화기로, 메인 본체(3401), 사운드 출력 부분(3402), 사운드 입력 부분(3403), 디스플레이 부분(3404), 동작 스위치(3405) 및 안테나(3406)를 포함한다. 본 발명의 자체 발광 디바이스 및 그 구동 방법은 디스플레이 부분(3404)에 사용될 수 있다. 흑색 배경에 백색 문자를 디스플레이함으로써, 디스플레이 부분(3404)이 휴대용 전화기의 소비 전력을 억제할 수 있음을 주목한다.

도 31b는 오디오 재생 디바이스, 특히 자동차 오디오 시스템으로, 메인 본체(3411), 디스플레이 부분(3412) 및 동작 스위치(3413, 3414)를 포함한다. 본 발명의 자체 발광 디바이스 및 그 구동 방법은 디스플레이 부분(3412)에 의해 사용될 수 있다. 또한, 실시예 10에서는 자동차 오디오 시스템이 도시되지만, 휴대용 또는 가정용 오디오 재생 시스템도 또한 사용될 수 있다. 흑색 배경에 흰색 문자를 디스플레이함으로써, 디스플레이 부분(3414)이 전력 소모를 억제할 수 있음을 주목한다. 이는 특히 휴대용 오디오 재생 디바이스에서 효과적이다.

도 31c는 디지털 카메라로, 메인 본체(3501), 디스플레이 부분(A)(3502), 대안렌즈(3503), 동작 스위치(3504), 디스플레이 부분(B)(3505) 및 배터리(3506)를 포함한다. 본 발명의 자체 발광 디바이스는 디스플레이 부분(A)(3502) 및 디스플레이 부분(B)(3505)에 의해 사용될 수 있다. 또한, 디스플레이 부분(B)(3505)은 주로 동작 패널로 사용되고, 흑색 배경에 흰색 문자를 디스플레이함으로써, 전력 소모가 억제될 수 있다.

더욱이, 외부 밝기를 감지하기 위한 센서 부분을 형성하는 것과 같은 기능을 부가하여, 어두운 장소에서 사용될 때 디스플레이 부분의 밝기를 감소시키는 방법은 실시예 10에 도시된 휴대용 전자 디바이스에서 전력 소모를 감소시키는 방법으로 주어질 수 있다.

부가하여, 미래에 EL 물질에 의해 방사되는 빛의 밝기가 증가되면, 이를 전방향 또는 후방향 프로젝터에서 사용하는 것도 또한 가능해진다.

그래서, 본 발명의 적용가능한 범위는 매우 넓고, 본 발명을 모든 분야의 전자 디바이스에 적용하는 것이 가능하다. 더욱이, 실시예 10의 전자 장치는 실시예 1 내지 8 중 임의의 조합을 사용하여 실현될 수 있다.

#### 실시예 11

실시예 11에서는 본 발명의 자체 발광 디바이스를 사용하여 디지털 구동 시간 분할 제조에 따라 패널 디스플레이를 실행할 때 전력 소모의 양을 측정할 결과가 도시된다. 여기서 측정시 사용되는 디스플레이 패널은 실시예 1의 도표 4로 도시된 것과 똑같은 조건을 갖고, 한 프레임 주기에서 기록 주기 및 디스플레이 주기의 특정 시간 분포는 도표 5에 도시됨을 주목한다.

표 5

주기	시간 (ms)
1 프레임	16.67
기록	1.04
디스플레이 1	5.21
디스플레이 2	2.60
디스플레이 3	1.30
디스플레이 4	0.65
디스플레이 5	0.33
디스플레이 6	0.16

더욱이, EL 소자는 ITO (양극)상에 20 nm의 CuPc (홀 주입층), 20 nm의 MTDATA (홀 운송층), 10 nm의  $\alpha$ -NPD (홀 운송층), 50 nm의 Alq<sub>3</sub> (빛 방사층) 및 400 nm의 Yb (음극)을 적층하고, ITO (양극)상에 20 nm의 CuPc (홀 주입층), 40 nm의  $\alpha$ -NPD (홀 운송층), 20 nm의 Ir(ppy)<sub>3</sub> + CBP (빛 발광층), 10 nm의 BCP (전자 운송층), 40 nm의 Alq<sub>3</sub> (전자 운송층) 및 400 nm의 Yb (음극)을 적층함으로써, 실시예 11에서 사용되는 자체 발광 디바이스에 포함된 EL 소자로 형성된다.

여기 에너지를 사용하는 EL (electroluminescence)에서, 빛을 방사하도록 홀과 전자의 재조합에 따라 전개될 때, 단일항 운동 에너지를 사용하는 빛 방사 물질 Alq<sub>3</sub>는 여기서 단일항 합성물 (singlet compound)

이라 칭하여지고, 삼중항 여기 에너지를 사용하는 합성물 IR(ppy)<sub>3</sub>은 삼중항 합성물 (triplet compound)이라 칭하여진다.

도표 6에는 단일항 합성물 및 삼중항 합성물을 갖는 EL 소자의 구동 전압에 대해 휘도 및 전력 소모가 도시된다.

표 6

	구동 전압 (V)	휘도 (cd/m <sup>2</sup> )	전력 소모 (mW)
단일항 에미터	6	30	6
삼중항 에미터	6	117	5

특같은 휘도 (특별히 60 cd/m<sup>2</sup>)에서 비교될 때, 삼중항 합성물은 단일항 합성물의 반 이하인 전력 소모를 나타냄을 주목한다.

다음에는 실시예 11에 의해 도시된 삼중항 합성물을 갖는 EL 소자의 전압에 대해 응답 시간의 측정이 실행된다.

측정은 임의의 전력 공급에 의해 인가된 DC (direct current)로 실행되고, 이 DC 전류를 사용하여 ON과 OFF 사이의 스위칭이 실행된다. ON은 전력 주기를 나타내고, 이는 전압이 인가된 주기로 칭하여짐을 주목한다. 또한, OFF는 전압이 0 V인 비선택 주기를 나타낸다. 또한, 이들 주기는 모두 250  $\mu$ s이다.

특별히, 현미경에 포토멀티플라이어 (photomultiplier)가 설정되고, 포토멀티플라이어로부터 출력되고 발진기에 의해 판독된 값에 의해 평가가 실행됨을 주목한다.

또한, OFF에서 ON으로의 스위칭은 시동 (start-up)으로 정의되고, ON에서 OFF로의 스위칭은 정지 (shutdown)로 정의된다. 전력 공급 전압이 OFF에서 ON으로 스위칭되는 순간으로부터, 100% 휘도의 트랙킹 (tracking) 광학 응답에 대해 90%까지 증가된 휘도를 나타내는데 요구되는 시간이 시동 응답 시간이다. 또한, 전력 공급 전압이 ON에서 OFF로 스위칭되는 순간으로부터, 100% 휘도에 대해 10%까지 감소된 휘도를 나타내는데 요구되는 시간이 정지 응답 시간이다.

이들 측정에 의해 구해진 결과는 도 32에 도시된다.

도 32에 도시된 전압 범위에서 응답 시간이 매우 높으므로, EL 소자는 정상적인 디지털 구동기에서의 문제점이 발생되지 않고 사용될 수 있음을 주목한다.

부가하여, 이 EL 소자를 사용하여 64 계조 디스플레이가 실행되는 경우, 각 계조에 대해 휘도가 측정될 때, 도 33에 도시된 결과가 구해진다. 충분한 계조 디스플레이는 구해진 다른 빛 방사 강도로부터 실행되는 것으로 이해된다.

#### 실시예 12

도 34 및 도 35에는 EL 소자의 EL층에서 EL층의 적층 구조를 형성하는 홀 주입층으로 저분자량의 합성물을 사용하는 경우와 고분자량의 합성물을 사용하는 경우에 대해 빛 방사 특성을 측정한 결과가 도시된다.

여기서 사용되는 EL층으로, EL층 A는 ITO상에 40 nm의  $\alpha$ -NPD (홀 운송층), 20 nm의 Ir(ppy)<sub>3</sub> + CBP (빛 방사층), 10 nm의 BCP (전자 운송층), 40 nm의 Alq<sub>3</sub> (전자 운송층) 및 400 nm의 Yb (음극)을 적층함으로써 형성됨을 주목한다. 또한, EL층 A의 ITO와 40 nm의  $\alpha$ -NPD (홀 운송층) 사이에 형성된 20 nm의 CuPc (홀 주입층)은 EL층 B로 취해지고, 부가하여, EL층 A의 ITO와 40 nm의  $\alpha$ -NPD (홀 운송층) 사이에 형성된 20 nm의 PEDOT (홀 운송층)은 EL층 C로 취해짐을 주목한다.

각 EL층에 인가된 각 전압에 대해 측정된 전류 밀도를 비교한 결과는 도 34에 도시된다. 부가하여, 각 EL층에 인가된 각 전압에 대해 구해지는 발광성을 비교한 결과는 도 35에 도시된다. 그래서, 가장 높은 전류 밀도는 홀 주입층에서 고분자량의 합성물 PEDOT를 사용하는 EL층 C에서 구해지는 것으로 이해되고, 발광성에 대해 뛰어난 초기 특성이 또한 구해질 수 있는 것으로 이해된다.

#### 발명의 효과

본 발명을 실시함으로써, 명확한 다중 계조 (gradation)의 칼라 디스플레이가 가능하고 TFT 특성에서 분산에 의해 영향을 받지 않는 활성 매트릭스형 (active matrix type) EL 디스플레이 디바이스가 구해질 수 있다. 특별히, 활성 매트릭스형 EL 디스플레이 디바이스에서 종래의 아날로그 계조 디스플레이 대신에 디지털 신호에 따른 시간 분할 계조 디스플레이를 실행함으로써, 전류 제어 TFT의 특성에서 분산으로 인한 계조의 결함이 제거될 수 있고, 양호한 칼라 재현을 갖는 고명색도의 영상이 구해질 수 있다.

또한, 기판상에 형성된 TFT 자체에 대한 각 회로나 소자에 의해 요구되는 기능과 통합된 최적의 구조를 갖는 TFT를 배열함으로써, 높은 확실성의 활성 매트릭스형 EL 디스플레이 디바이스가 이루어진다.

이 종류의 활성 매트릭스형 EL 디스플레이 디바이스를 디스플레이로 제시함으로써, 양호한 영상질과 높은 확실성을 갖는 고성능 전자 디바이스를 제작하는 것이 가능해진다.

#### (57) 청구의 범위

#### 청구항 1

기판 위에 픽셀 (pixel) 부분을 갖는 EL 디스플레이 디바이스에 있어서,

상기 픽셀 부분이,

게이트 전극을 오버랩시키지 않는 LOD 영역을 갖지며, 그들 사이에 게이트 절연막이 삽입된, 스위칭 TFT; 및

상기 게이트 절연막을 오버랩시키는 상기 LOD 영역을 갖고, 상기 게이트 전극이 그들 사이에 삽입된, 전류 제어 TFT를 구비하는 EL 디스플레이 디바이스.

#### 청구항 2

기판 위에 픽셀 부분, 소스 구동기 회로 및 게이트 구동기 회로를 갖는 EL 디스플레이 디바이스에 있어서,

상기 픽셀 부분이,

게이트 전극을 오버랩시키지 않는 LOD 영역을 갖고, 그들 사이에 게이트 절연막이 삽입된, 스위칭 TFT; 및

상기 게이트 절연막을 오버랩시키는 상기 LOD 영역을 갖고, 상기 게이트 전극이 그들 사이에 삽입된, 전류 제어 TFT를 구비하는 EL 디스플레이 디바이스.

#### 청구항 3

기판 위에 픽셀 부분을 갖는 EL 디스플레이 디바이스에 있어서,

상기 픽셀 부분이,

게이트 전극을 오버랩시키지 않는 LOD 영역을 갖고, 그들 사이에 게이트 절연막이 삽입된, 스위칭 TFT; 및

상기 게이트 전극을 오버랩시키는 상기 LOD 영역을 갖고, 상기 게이트 절연막이 그들 사이에 삽입된, 전류 제어 TFT를 구비하고,

상기 스위칭 TFT는 p-채널 TFT 및 n-채널 TFT 중 임의의 하나를 구비하고,

상기 전류 제어 TFT는 p-채널 TFT를 구비하고,

상기 전류 제어 TFT의 드레인 영역은 EL 소자의 양극 (anode)에 전기적으로 연결되는 EL 디스플레이 디바이스.

#### 청구항 4

기판 위에 픽셀 부분, 소스 구동기 회로 및 게이트 구동기 회로를 갖는 EL 디스플레이 디바이스에 있어서,

상기 픽셀 부분이

게이트 전극을 오버랩시키지 않는 LOD 영역을 갖고, 그들 사이에 게이트 절연막이 삽입된, 스위칭 TFT; 및

상기 게이트 전극을 오버랩시키는 상기 LOD 영역을 갖고, 그들 사이에 상기 게이트 절연막이 삽입된, 전류 제어 TFT를 구비하고,

상기 스위칭 TFT는 p-채널 TFT 및 n-채널 TFT 중 임의의 하나를 구비하고,

상기 전류 제어 TFT는 상기 p-채널 TFT를 구비하고,

상기 전류 제어 TFT의 드레인 영역은 EL 소자의 양극에 전기적으로 연결되는 EL 디스플레이 디바이스.

#### 청구항 5

기판 위에 픽셀 부분을 갖는 EL 디스플레이 디바이스에 있어서,

상기 픽셀 부분이,

게이트 전극을 오버랩시키지 않는 LOD 영역을 갖고, 그들 사이에 게이트 절연막이 삽입된, 스위칭 TFT; 및

상기 게이트 전극을 오버랩시키는 상기 LOD 영역을 갖고, 그들 사이에 상기 게이트 절연막이 삽입된, 전류 제어 TFT를 구비하고,

상기 스위칭 TFT는 p-채널 TFT 및 n-채널 TFT 중 임의의 하나를 구비하고,

상기 전류 제어 TFT는 상기 p-채널 TFT를 구비하고,

상기 전류 제어 TFT의 드레인 영역은 EL 소자의 음극 (cathode)에 전기적으로 연결되는 EL 디스플레이 디바이스.

#### 청구항 6

기판 위에 픽셀 부분, 소스 구동기 회로 및 게이트 구동기 회로를 갖는 EL 디스플레이 디바이스에

있어서,

상기 픽셀 부분이,

게이트 전극을 오버랩시키지 않는 LOD 영역을 갖고, 그를 사이에 게이트 절연막이 삽입된, 스위칭 TFT;

상기 게이트 전극을 오버랩시키는 상기 LOD 영역을 갖고, 그를 사이에 상기 게이트 절연막이 삽입된, 전류 제어 TFT를 구비하고,

상기 스위칭 TFT는 p-채널 TFT 및 n-채널 TFT 중 임의의 하나를 구비하고,

상기 전류 제어 TFT는 상기 p-채널 TFT를 구비하고,

상기 전류 제어 TFT의 드레인 영역은 EL 소자의 음극에 전기적으로 연결되는 EL 디스플레이 디바이스.

#### 청구항 7

제 1 항 내지 제 6 항 중 어느 항에 있어서,

상기 EL 디스플레이 디바이스는 비디오 카메라, 디지털 카메라, 고글형 디스플레이 디바이스, 항해 시스템, 오디오 재생 디바이스, 노트북형 개인용 컴퓨터, 게임 장치, 휴대용 정보 단말기 및 영상 재생 디바이스로 구성된 그룹에서 선택된 전자 장치에 포함되는 EL 디스플레이 디바이스.

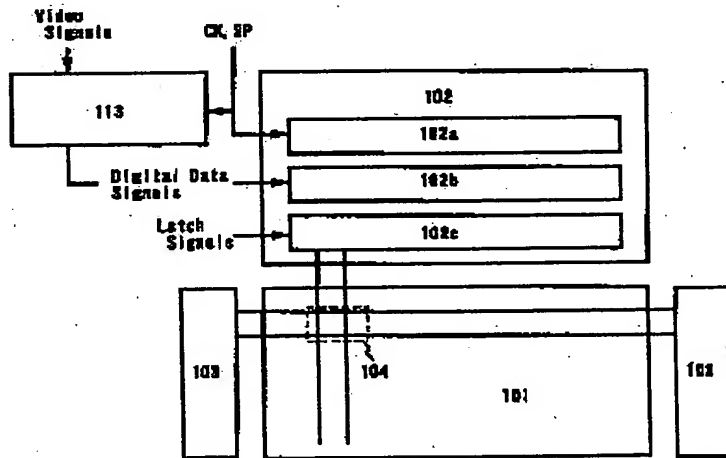
#### 청구항 8

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

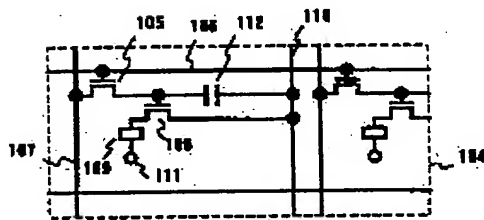
상기 EL 디스플레이 디바이스는 시간 분할 계조 (time-divisional gradation) 방법에 의해 동작되는 EL 디스플레이 디바이스.

#### 도면

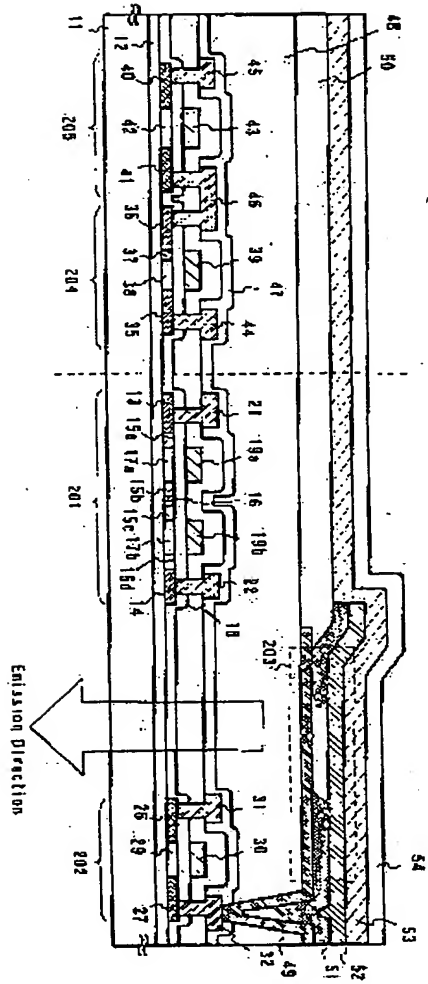
도면 1a



도면 1b



502



503

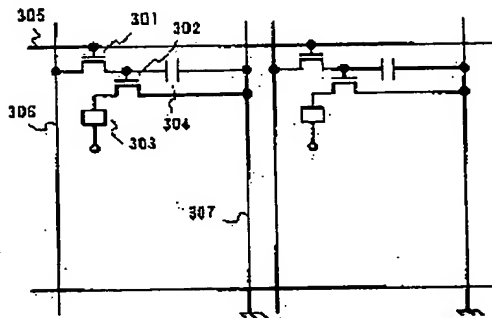


Figure 4a

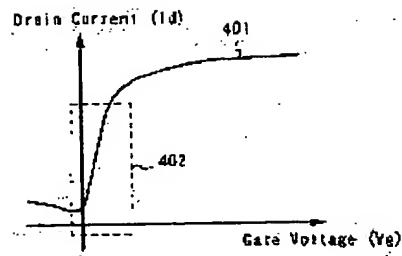
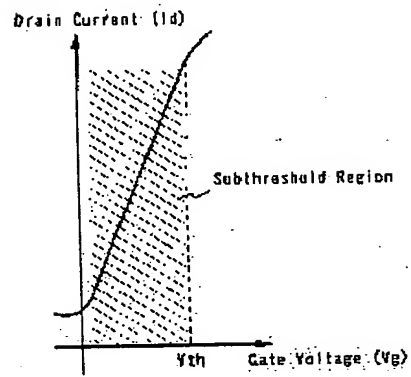
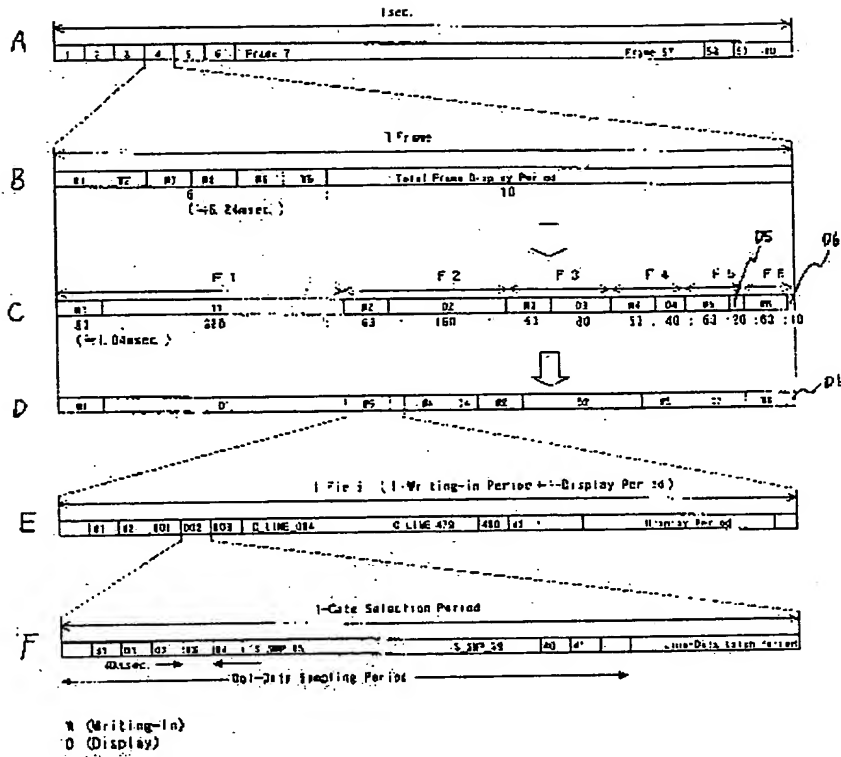


Figure 4b

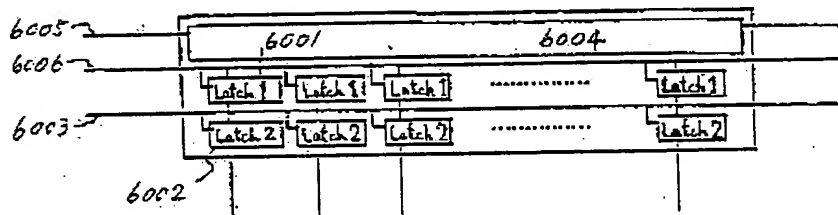


도 15



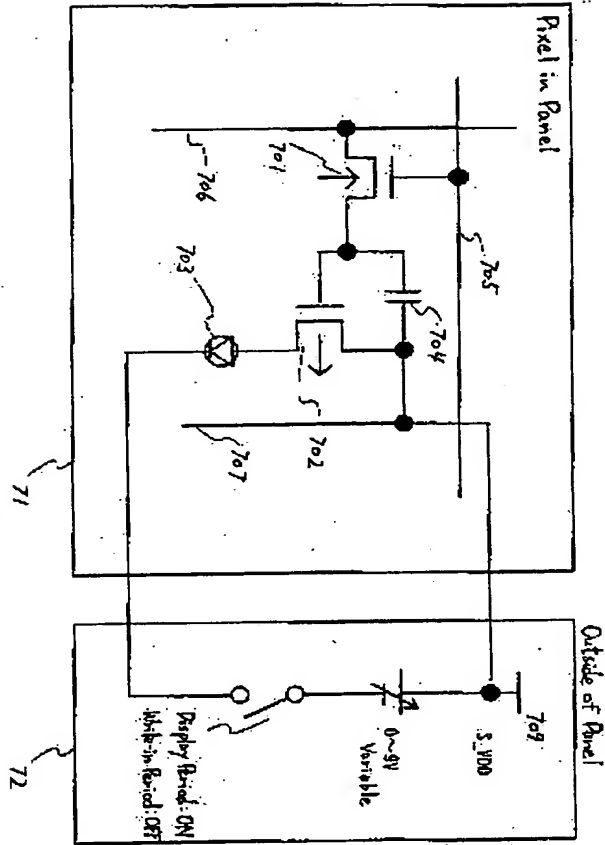
도 16

### Source Driven Circuit

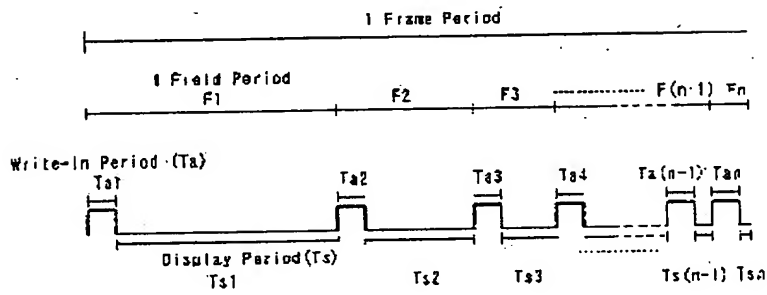




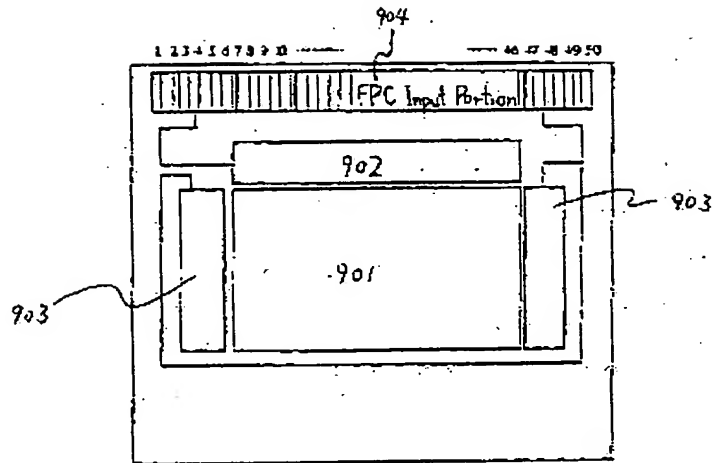
도 7



도 8



도 9



도 10

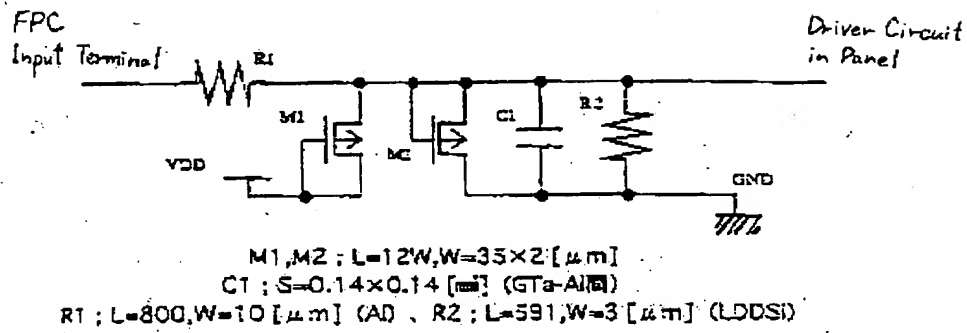
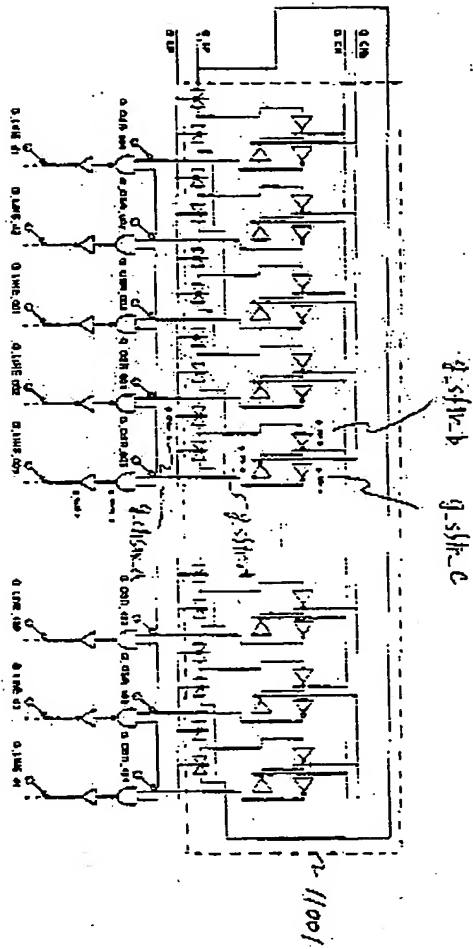
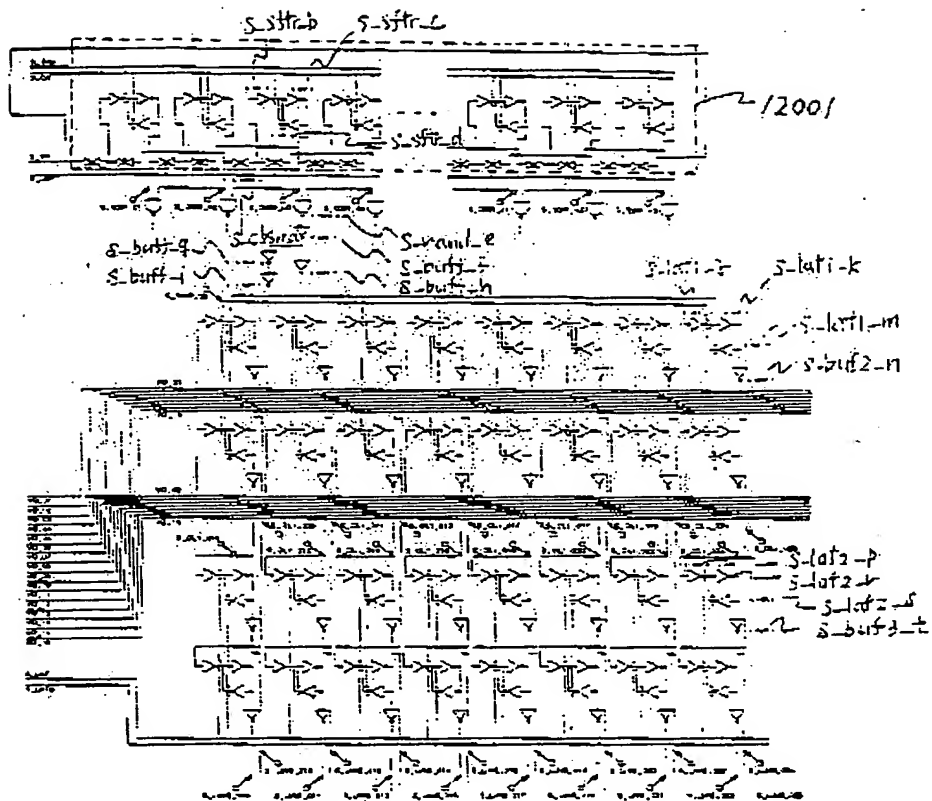


도표 11

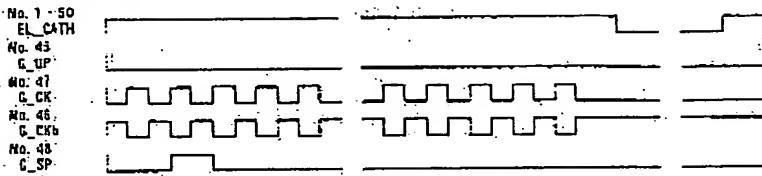


5012

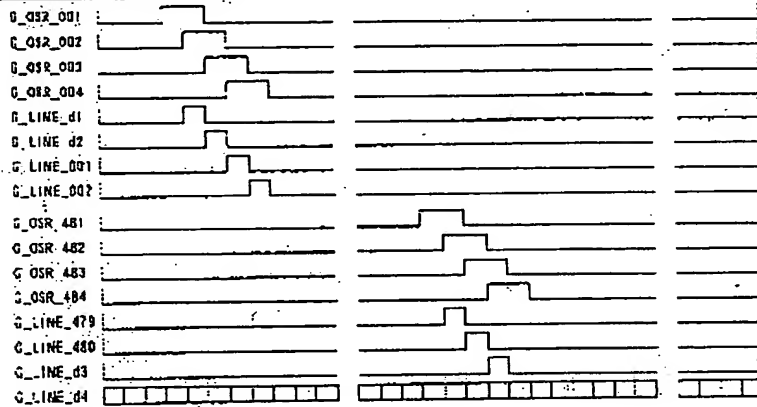


도 13

FPG Input Signals

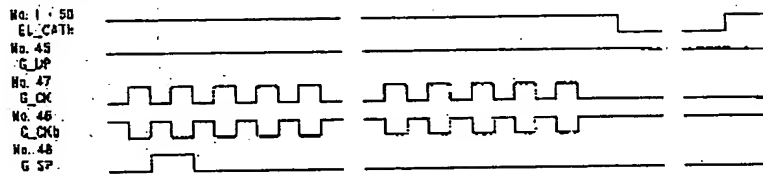


Signals in Gate Driver Circuit

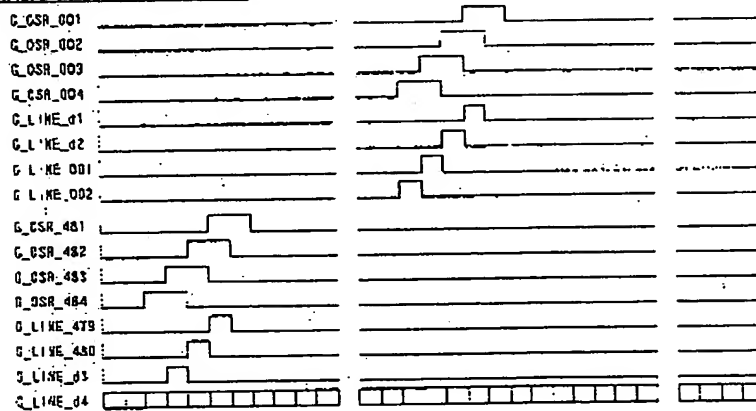


도 14

FPG Input Signals

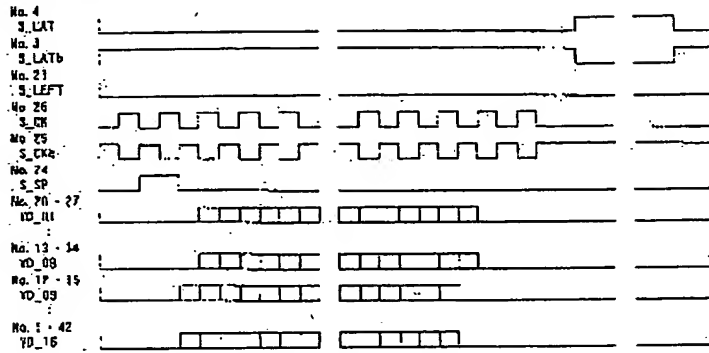


Signals in Gate Driver Circuit

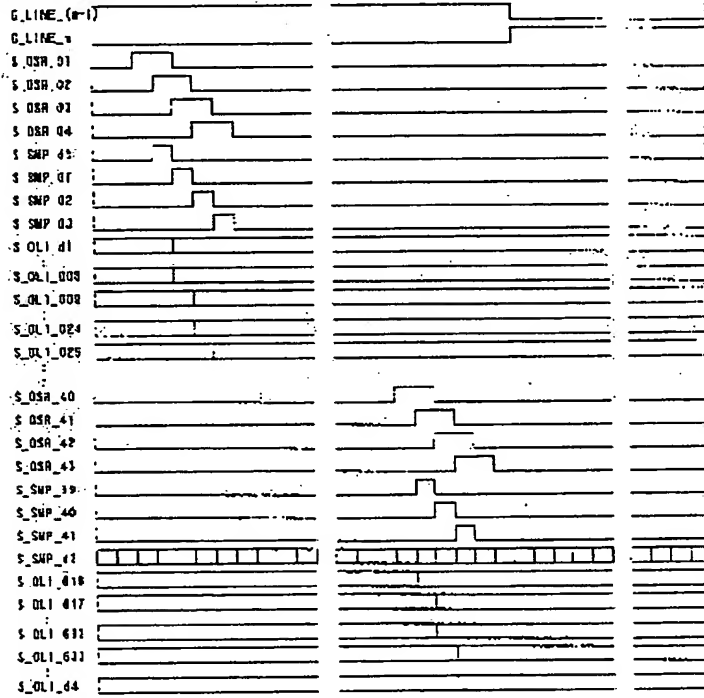


도 15

FPC Input Signals

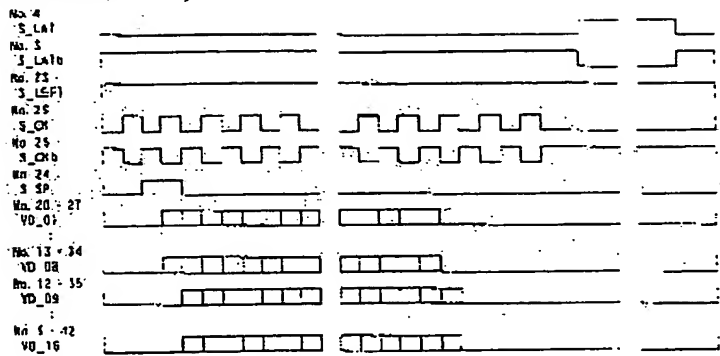


Signals in Gate Driver and Source Driver Circuits

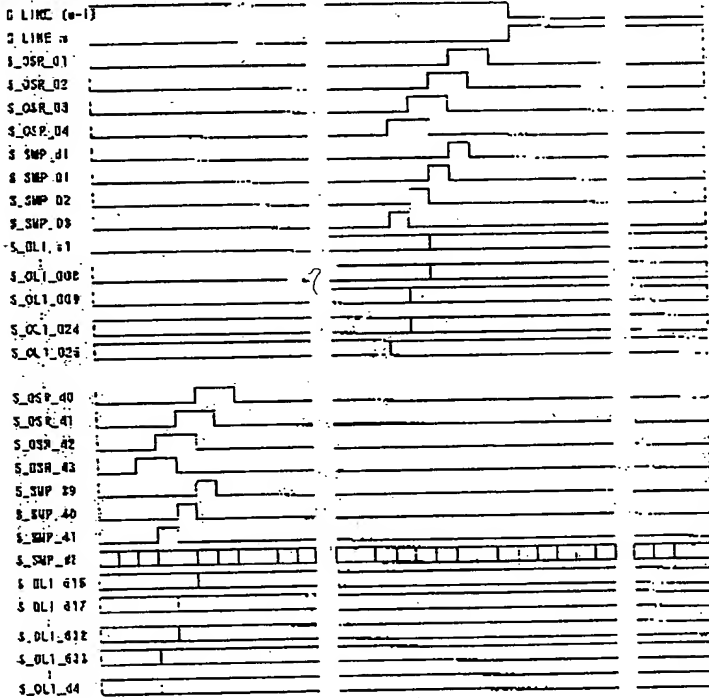


도면 16

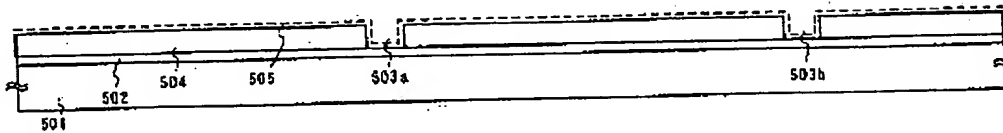
FPG Input: Signal-1



Signal\_0 Gate Driver and Source Driver Circuits

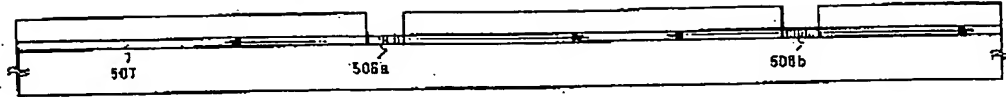


도면 17a

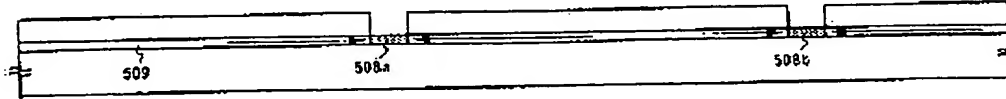




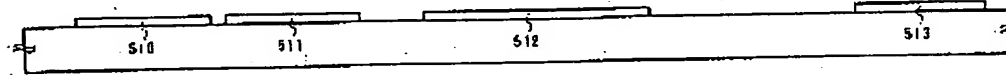
도면 17b



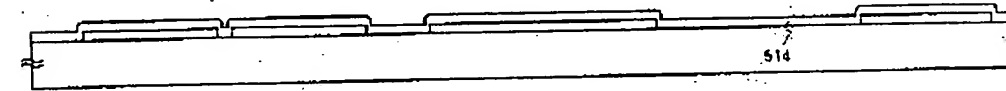
도면 17c



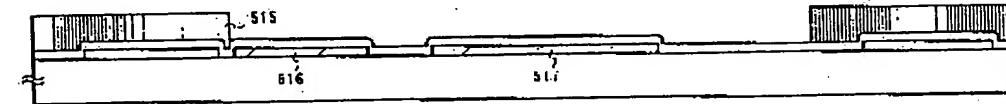
도면 17d



도면 17e



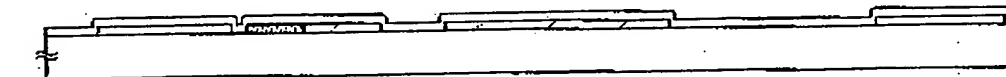
도면 18a



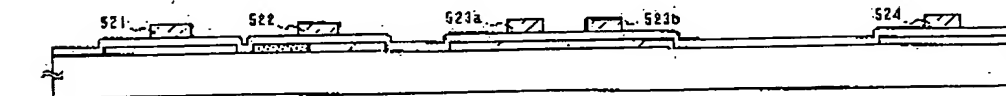
도면 18b



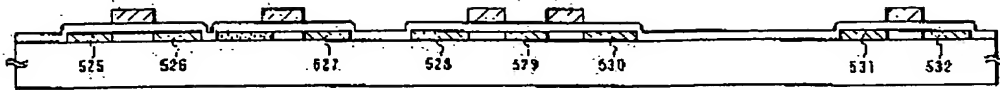
도면 18c



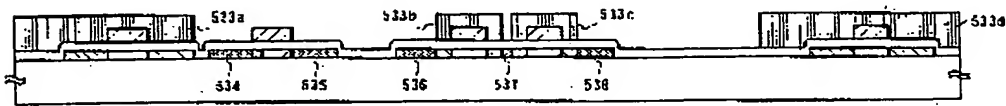
도면 18d



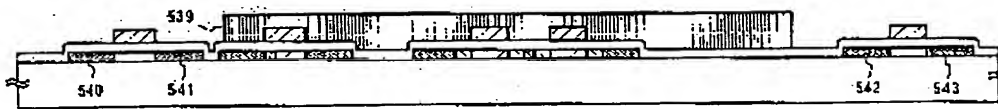
도면 10a



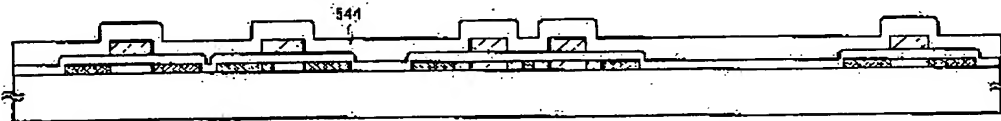
도면 10b



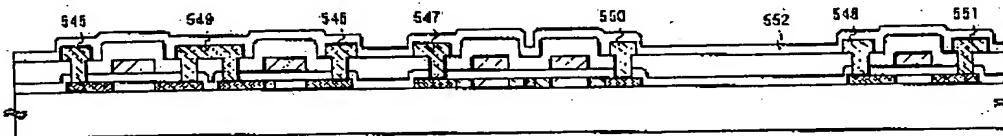
도면 10c



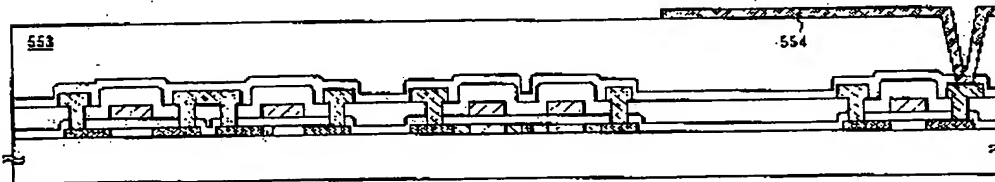
도면 10d



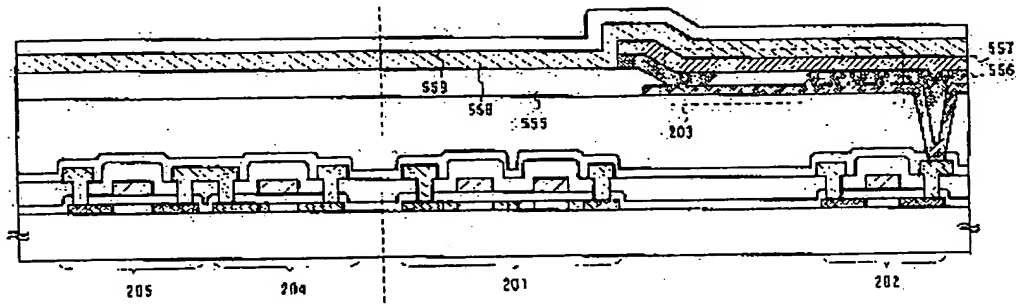
도면 20a



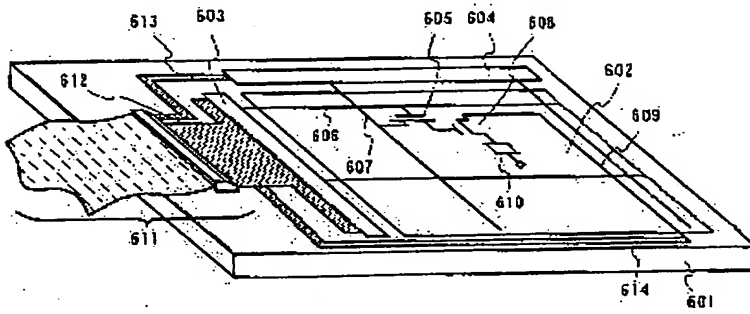
도면 20b



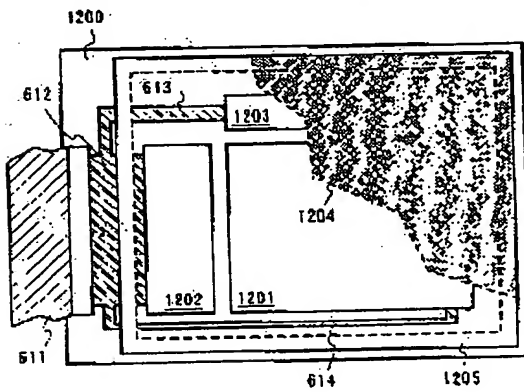
도 20a



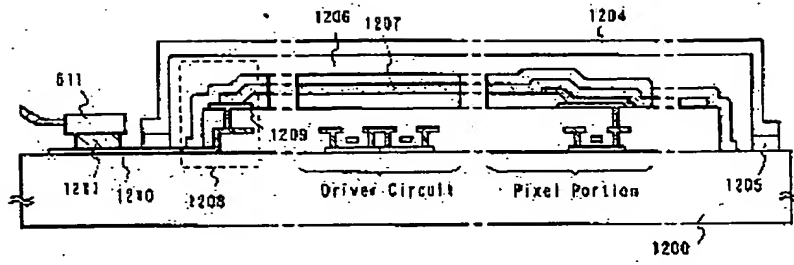
도 21



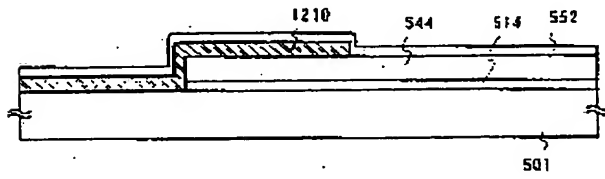
도 22a



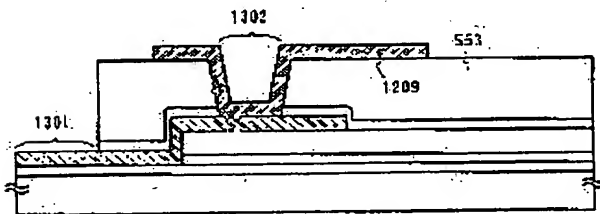
도 22b



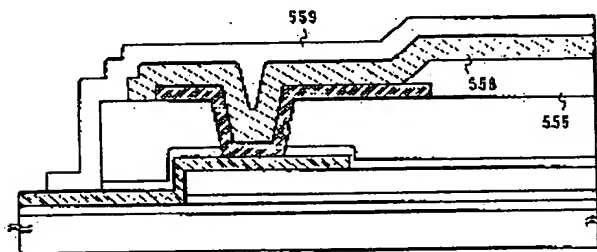
도 23a



도 23b



도 23c



도원248

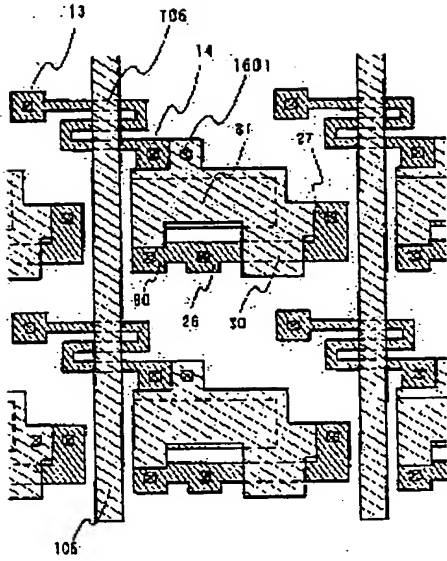
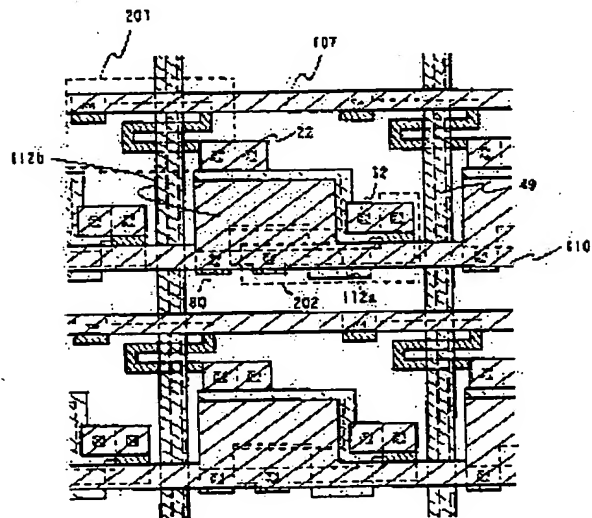
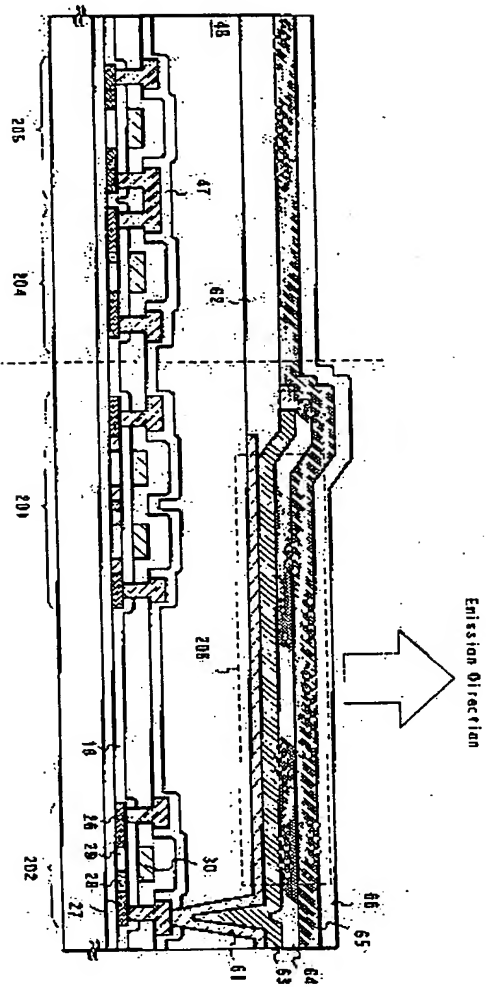


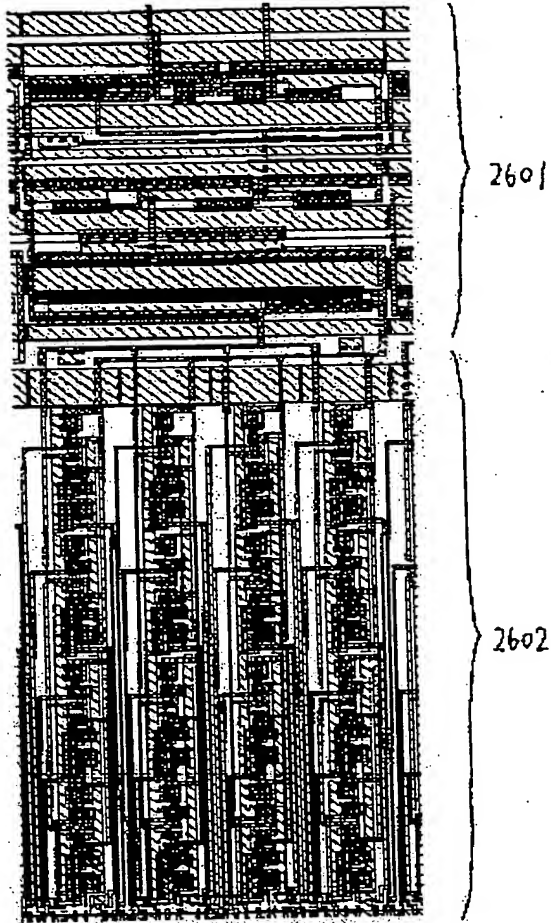
도표 24b



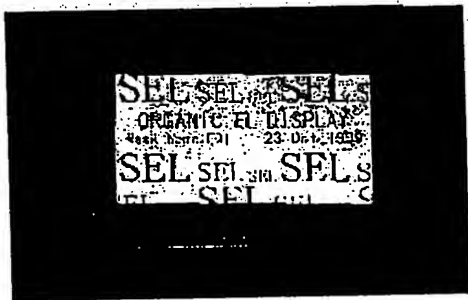
도 25



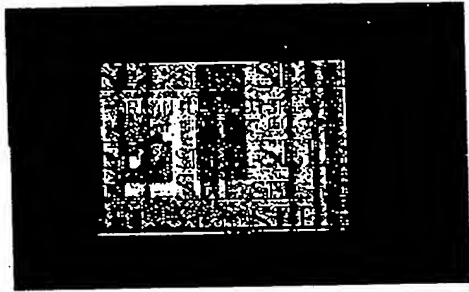
도 26



도 27a



도 27b



도 28a

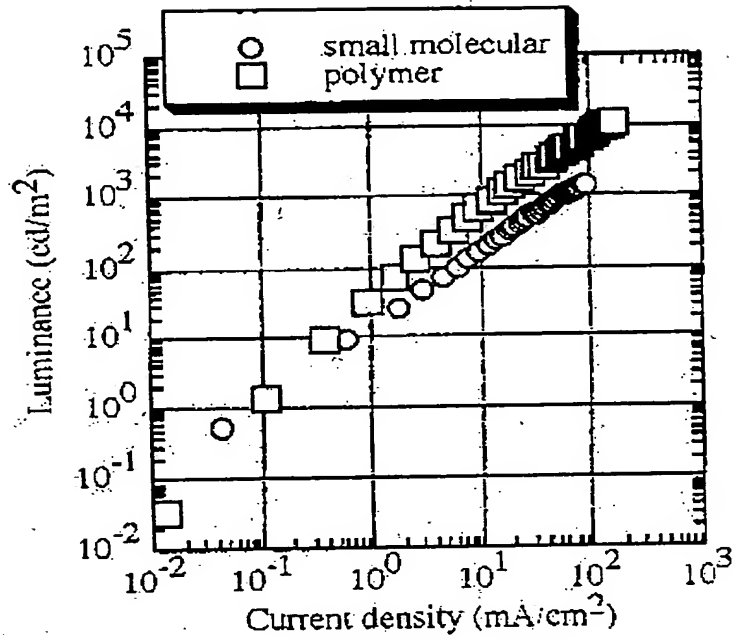
Metal
Alq
$\alpha$ -NPD
CuPc
ITO
Substrate

도 28b

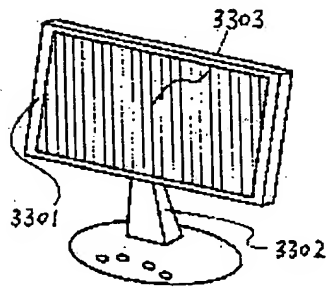
Metal
Polymer
ITO
Substrate



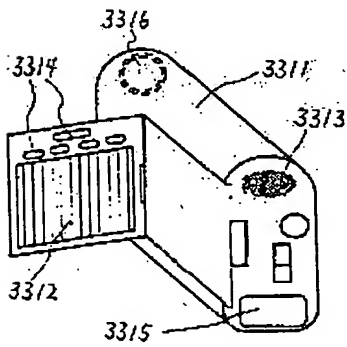
도 29



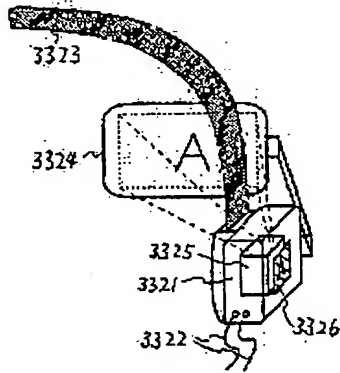
도 30a



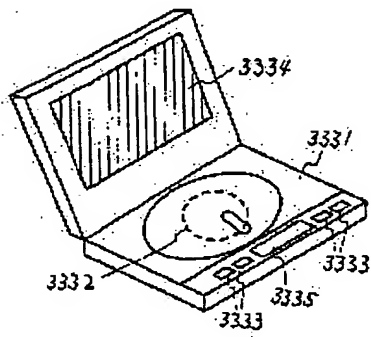
도 30b



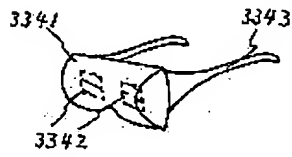
도면30a



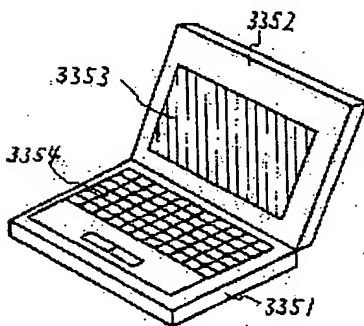
도면30d



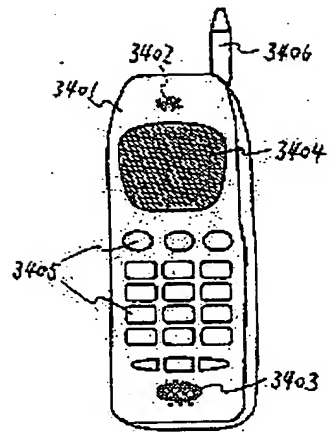
도면30b



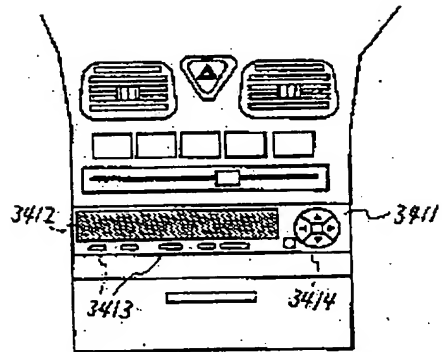
도면30f



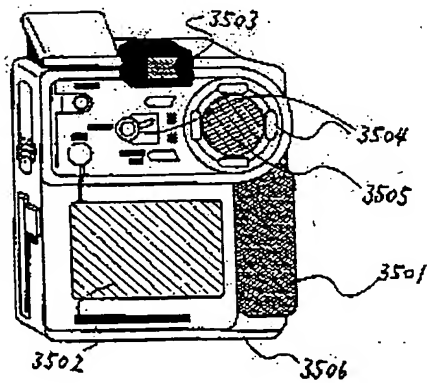
도면31a



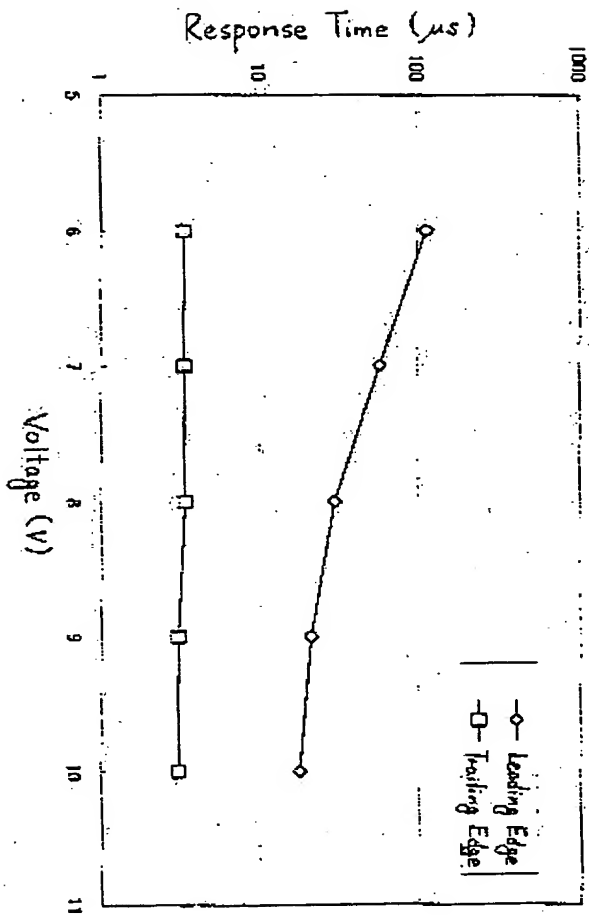
도면31b



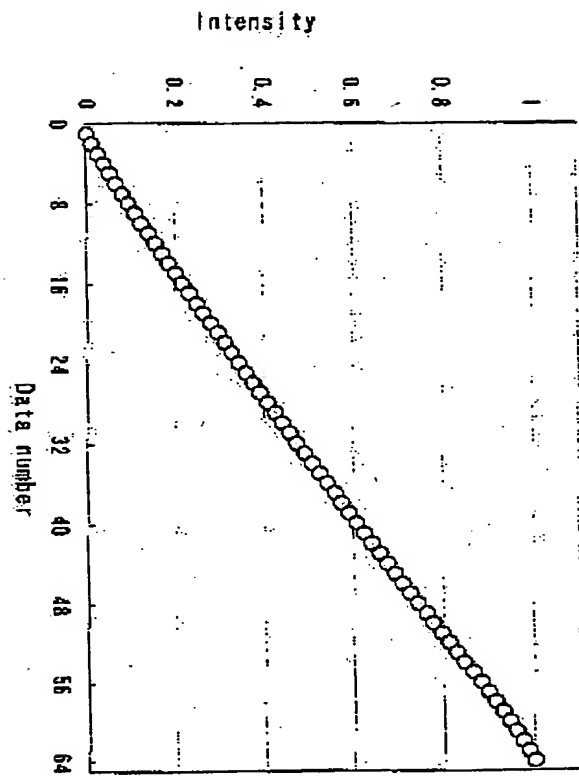
도면31c



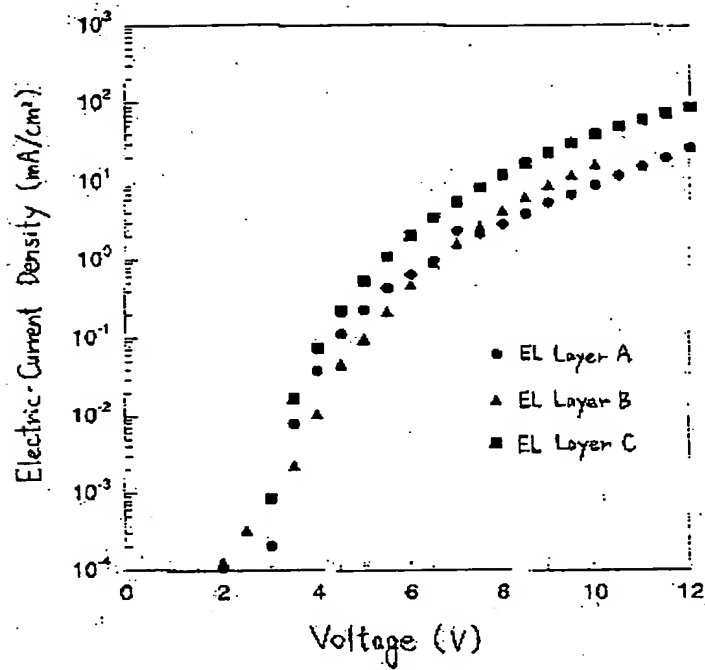
5032



CP33



도 34



도 35

